

\* NOTICES \*

B9

IPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

\*\*\*\* shows the word which can not be translated.

In the drawings, any words are not translated.

## DETAILED DESCRIPTION

### Detailed Description of the Invention]

Name of invention Optical reading machine equipped with the integrated CMOS circuit Technical field of background invention of invention The technical field of this invention is related with the bar code which has the optics and the digital disposal circuit which were integrated especially, or a notation reading machine about reading of a notation like a bar code.

2) background current and the bar code reading machine which can come to hand -- typical -- several dozens -- it has ten pieces to 50 integration circuits with mechanical and optical components. However, a demand of a commercial scene is decreasing dramatically the cost and size of a bar code reading machine, without sacrificing dependability and the engine performance. Reduction of the number of components used with a bar code reading vessel will help these demand achievement.

For the attempt of old reduction-izing, it let various integration level pass and the number of components in the scanner on the basis of a visible laser was accompanied by difficulty. The visible laser diode typically formed using the AlGaInP ingredient is impossible for integrating directly on the silicon substrate in which some parts of an electronic circuitry or a digital disposal circuit are prepared at least. The approach of the approach of the hybrid of being equipped with a laser diode on the heat-conduction pad with which it was equipped on the silicon substrate is proved [ Sony ] (setting to their laser coupler currently used for example, for the compact disk product). With this type of configuration, the engine performance of the electronic circuitry on a silicon substrate falls for the great heat gradient in a die. By the optical recombination from the laser stray light, the engine performance also causes the increment in a noise level, also unfortunately in response to the fact that effect. Furthermore, dependability is comparatively bad in the scanner product on the basis of much laser again because of the huge power flux density in association of laser.

The charge-coupled device (CCD) is used for some bar code reading machines as a substitute of laser diode. However, since a CCD chip generally needs the metal oxide semiconductor (MOS) processing for which it is seldom suitable and which was specialized very much for formation of the circuit of other types, integration of the circuit component in these systems is difficult again. For example, it is not practical to form the field-effect transistor (FETs) of a high mutual conductance generally needed for construction of an operational amplifier using the same MOS process required of almost all the CCD chip. Furthermore, the manufacturing cost to this specialized process per unit of a silicon field becomes quite higher than the manufacturing cost of the conventional bipolar \*\*\*\* CMOS process. It is because very high grade silicon is needed in order to mainly attain appropriate charge transfer efficiency. Therefore, integration of the circuit in the bar code reading machine on the basis of CCD will become comparatively expensive from a manufacture-standpoint, though it is difficult and possible.

So, this invention person determined that it was useful to offer the bar code which has the circuit where integration is comparatively easy, or a notation reading machine rather than had a very expensive manufacturing cost. Furthermore, while offering the bar code reading machine which has the number of components which decreased, in addition, it is still more useful to offer the bar code reading machine with which size containing integration optics and a digital disposal circuit was made small.

Outline of invention This invention offers the optical reading machine containing the integrated CMOS circuit in one mode. A CMOS imaging array transforms reception and the charge of the result into the local electrical potential difference in each pixel site for light in two or more pixel locations. The charge is transmitted to a direct common metal bus according to a demand. A CMOS imaging array may be integrated with other CMOS circuits in an optical reading machine.

In another mode of this invention, the exposure time of an imaging array is controlled using the feedback loop. One or the exposure control pixel beyond it adjoins an imaging array, or is arranged in an imaging array, and receives light

along with an imaging array. The charge of one or more exposure control pixels is compared with a threshold level, and the amount of time amount required to reach to a threshold level determines the exposure time of the pixel of an imaging array. Both one or more exposure control pixels and a control loop can be formed using the same CMOS process, and it can be arranged on the same substrate as an imaging array. Before a user uses a bar code reading machine, the exposure time can be set up the optimal or almost the optimal, and the amount of time amount required in order to read notations (for example, bar code label etc.) or a code by this is decreased.

In another mode of this invention, while performing spatial optimization filtering by combining with an exposure control circuit, a CMOS digital disposal circuit is used in order to read over the range where optical level is big and to minimum-ize time amount. According to the output frequency from which an imaging array changes, time amount is adjusted so that a clock cycle and a control signal may supply the eternal spatial frequency response by the digital disposal circuit. The approach of these signal processing will be efficiently realized within CMOS.

In another mode of this invention, the contents of a pixel are read in un-destroying, and the multi-dimension imaging array which performs coincidence pixel exposure is offered. Two or more of a certain selected pixels are used by one or more single dimension imaging arrays, for example, a multi-dimension imaging array may be equipped with a 2-dimensional pattern like the grid of a single dimension imaging array, or other combination. un--- destruction -- reading -- capacity -- being certain -- a pixel -- one -- a \*\* -- a member -- it is -- every -- one -- a dimension -- imaging -- an array -- receiving -- once -- being the same -- a pixel -- multiple times -- reading -- appearance -- carrying out -- having -- things -- possible -- carrying out -- \*\*\*\*.

The another modification and the another example of modification over the above are indicated again.

Easy explanation of a drawing Drawing 1 is the block diagram of a desirable optical reading machine.

Drawing 2 to drawing 5 is drawing of the CMOS imaging array pattern of deformation of versatility.

Drawing 6 and drawing 7 are drawings of the desirable pixel site circuit which forms one part of an activity pixel CMOS array, and drawing 8 is drawing of the example of deformation of a pixel site circuit.

Drawing 9 is drawing 6 and a timing chart relevant to the circuit of drawing 7.

Drawing 10 and drawing 11 are the timing charts illustrating actuation of a desirable optical reading machine including each accommodative exposure circuit of low light and high-level light.

Drawing 12 is a timing chart illustrating actuation of the example of deformation of an optical reading machine including an accommodative exposure circuit.

Drawing 13 and drawing 14 are drawings of the CCD cel concerning the desirable example of invention which has non-destroying reading and coincidence exposure of a CCD cel.

Drawing 15 is drawing of the accommodative exposure circuit which controls a single pixel.

Drawing 16 is the block diagram of the imaging array concerning one example of this invention, and the related address circuit.

Drawing 17 is the block diagram of an accommodative exposure control loop.

Drawing 18 is a timing chart illustrating one means for offering the exposure-time period which can be adjusted.

Drawing 19 is a block diagram illustrating the example of deformation of an accommodative exposure control circuit.

Drawing 20 is drawing of the optical reading machine containing a lens and the integrated CMOS circuit.

Detailed explanation of a desirable example Drawing 1 is the block diagram of the optical reading machine which has the architecture of the optical reading machine of a desirable single chip. Preferably, the same CMOS process is used for each component shown in drawing 1, and it is integrated on the same chip which divided the same silicon substrate and existed. However, in some examples, a component more nearly little than all the components shown in drawing 1 may be integrated by such approach, or other additional components may be integrated on the same chip again.

In drawing 1, the optical reading chip 100 equipped with the imaging array 102 connected to gain / offset block 103, and the shutter time amount controller 121 is illustrated. Gain / offset block 103 may give peculiar gain and/or peculiar offset to each pixel, in order to impress fixed gain and fixed offset to all pixels or to compensate the heterogeneity between pixels. Gain / offset block 103 outputs the video signal 112 connected to A/D converter 105 for changing into a digital format from analog format as the option. Subsequently, it is analog format or a low pass filter 106 is passed by the video signal digitized by the A/D converter. A low pass filter 106 is connected to the edge detector 107 which outputs the bar signal 113. The bar signal 113 is connected to the notation decoder 109 on chip which outputs the alphabetic character data signal 114 and the alphabetic character clock signal 115 and which is installed as an option again.

In drawing 1, the pixel clock signal 124 connected to an address generation machine / decode logic block 123, and the clock generation machine 122 is illustrated again. A pixel clock signal will be connected to A/D converter 105, a low pass filter 106, the edge (if it is digital) detector 107, and (if contained on the chip) the notation decoder 109 as an

option (if it is digital). (if contained)

It connects with the imaging array 102 and an address generation machine / decode logic block 123 receives the input from the clock generation machine 122. The shutter time amount controller 121 is connected to the clock generation machine 122 again.

It sets working. The imaging array 102 preferably The light which condensed and focused by the imaging system (not shown) is received. The above-mentioned imaging system the aperture which may be equipped with one or the lens beyond it, and other conventional imaging components, and has a multi-focus lens and a slit especially -- or You may have other descriptions indicated by the application serial numbers 08/363,258 of the U.S. application under connection for which it applied on December 23, 1994, or the U.S. application serial numbers 08/576,203 for which it applied on December 21, 1995. Both applications are included by referring to, as indicated completely here here.

The imaging array 102 outputs the signal which shows the level of the light which was equipped with two or more photoelectrical pixels, and received them in each selected pixel location. When one certain pixel receives light, one charge is formed in a pixel location. When the above-mentioned charge is read on an output bus, the electrical potential difference in direct proportion to the collected electron number appears in an output bus so that it may mention later. In the desirable example, each pixel is separately accessible by the selection signal impressed to the imaging array 102. In drawing 1 , the selection signal 125 for this purpose is impressed to the imaging array 102 from an address generation machine / decode logic block 123. A selection signal 125 is equipped with the address position corresponding to the pixel as which the imaging array 102 was chosen. In the desirable example, sequential selection of two or more pixels of the imaging array 102 is made under control of a selection signal 125, and an address generation machine / decode logic block 123 are a series of approaches which are read, and generate two or more pixel addresses. Instead, two or more pixels may be chosen except a series of approaches, and some pixels may be read above once and are later mentioned about various examples.

Drawing 6 and drawing 7 show the desirable pixel site circuit 150 which forms a part of activity pixel CMOS imaging array used for the imaging array 102 more to a detail. Drawing 7 shows the circuit diagram of the pixel site circuit 150, the potential graph 159 is used for drawing 6 , and it is MOSFET. Drawing of a pixel site circuit including the expression of the charge accumulated in Q1 is expressed.

Drawing 6 and the pixel site circuit 150 of drawing 7 transform a charge to an electrical potential difference, and are equipped with the metallic-oxide silicon field-effect transistor (MOSFET) of the source follower which supplies a low impedance output in a pixel location. It sets working and is MOSFET of a source follower. When a photon collides with the photograph gate field 157 to which Q1 was extended, the valence electron is excited in a conduction body. These free electrons are accumulated in the well of potential in which a boundary line is formed during a collection period by holding a reset line to low potential. After a collection period expires completely, it is turned on and the selection line 152 is output selection MOSFET. Q2 is turned on and it is MOSFET of a source follower. Bias of Q1 is carried out in the active region. The electrical potential difference proportional to the electron number then collected appears in the output bus 153. The increment in the electrical potential difference of a reset line is MOSFET. Q3 is fully activated, this opens the well of potential, it makes it possible to discharge the electron generated by light to the supply voltage node VDD154, and the stored charge is cleared.

If the inactive potential is chosen appropriately, the reset gate 156 (namely, gate of Q3 shown by drawing 7 ) shown by drawing 6 will function as a device of overflow in case an electron number exceeds the capacity of the well of potential. This gives preventing the so-called "blooming" caused by the overflow of an electron which was full of the pixel which adjoined from one pixel.

In the example of deformation, a current is generated using conventional P-N or a conventional P-I-N photodiode (namely, diode which has the silicon field across which it faced between the field doped by P and the field doped by N, and which is not doped), it integrates with a current over the exposure time, and it is stored on the gate capacitance of MOSFET. The example of this deformation is illustrated to drawing 8 . Actuation of the circuit of drawing 8 is MOSFET which has addition of the photoelectrical diode 149, and the usual gate instead of the photograph gate. Except for use of Q1', it is similar with the thing of drawing 7 . By setting working, the photoelectrical diode 149 answers the light which carries out incidence to the photoelectrical diode 149, and generates a current, and it is MOSFET. A charge is formed at the gate of Q1'. The voltage level related to the stored charge can be read by impression of selection-signal 152', and the accumulated charge can be dumped by impression of reset-signal 151'. The imaging array 102 is equipped with two or more pixels in which each has the pixel site circuit 150 which is illustrated by drawing 6 and drawing 7 preferably. The block diagram of the imaging array of an example which has the related selection circuitry is illustrated to drawing 16 . The imaging array 400 of drawing 16 is equipped with two or more pixel 401 a-n, is equipped with two or more photodetector 402 a-n, and is equipped with one photodetector 402 a-

n to each pixel 401 a-n here. Each of two or more photodetector 402 a-n is connected to pixel site circuit 403 a-n (each is equipped with a pixel site circuit which was illustrated by drawing 6 and drawing 7 ). Drawing 16 shows two or more selection-signal 405 a-n and reset-signal 406 a-n again, and it has one reset-signal 406 a-n to each pixel 401 a-n. Each pixel site circuit 403 a-n is connected to the common output bus 408. The address selection signal 410 is inputted into an imaging array and a selection circuitry, and is connected to the address decoder 411. The master selection signal 412 and the master reset signal 413 are supplied to the address decoder 411 again. The address decoder 411 decrypts a selection signal 410, impresses one of the selection-signal 405 a-n, and/or one of the reset-signal 406 a-n at once based on the input, and activates one to which it corresponds of pixel site circuit 403 a-n by this. Supposing the selection signal 405 is activated, as for the pixel site circuit 403 then chosen, the accumulated charge will be transmitted to the common output bus 408. Supposing the reset signal 406 is activated, the selected pixel site circuit 403 will emit the charge, and will make the photodetector 402 of that a clearance. If the address selection signal 410 is used, two or more pixel 401 a-n may be accessed sequentially or at random so that all pixel 401 a-n or a selected number of contents may be read.

In the example of deformation, a serial shift register may be used instead of the address decoder 411. The SUTEJIHE transfer of the initial pulse supplied to a serial shift register is carried out from the stage of a serial shift register. Tap attachment of each stage of a serial register is carried out, and the output of each stage is connected to each pixel as a control signal for the pixel. Since the pulse needed for a reset signal and a selection signal is generated, a control signal is controllable by various approaches clear to this contractor with a clock signal at the gate. The advantage of the example of the deformation using a serial shift register is saving potentially the silicon area demanded in the example of a compound machine.

Drawing 9 is a timing chart relevant to the imaging array and selection circuitry of drawing 16 . Although the relative timing for two pixels 401 of the imaging array 400 of drawing 16 which adjoined is illustrated, drawing 9 can be extrapolated so that several Ns of the arbitration of a pixel 401 may be covered.

As mentioned above, each pixel has selection line 405 a-n of itself, and reset line 406 a-n, and is prepared. timing illustration of the selection line [ as opposed to the first pixel 401 to the graph / with the same drawing 9 / top as the selection line 164 and the reset line 163 to the 2nd pixel 401 ] 161, and the reset line 160 -- it is carrying out. Drawing 9 illustrates the output bus voltage signal 165 which shows change with the voltage level of the output bus 408 (or output bus 153 of drawing 6 and drawing 7 ) while illustrating the gate voltage signal 162 corresponding to the electrical potential difference stored by the photograph (it illustrates to drawing 6 and drawing 7 .) gate 157 of the pixel site circuit for the first pixel 401 again.

When the first pixel 401 is chosen by the selection signal 161 carried out to yes, the output of the first pixel 401 is sampled on the output bus 408. Therefore, the output bus voltage signal 165 takes the voltage level of the gate voltage signal 162 on the same point 170 on which a selection signal 161 becomes yes. This information may be transmitted to another structure-of-a-system element like the gain / offset block 103 illustrated by drawing 1 from the output bus 408. It activates, emission of the charge is produced to the first pixel 401, and the reset signal 160 after the output of the first pixel 401 was read is \*\*\*\*. Therefore, it is shown that the voltage level illustrated to the gate voltage signal 162 on the point 171 is reset by supply voltage. It is sampled on the output bus 408 and the information on the output bus voltage signal 165 may be transmitted to another structure-of-a-system element which uses the information from the output bus 408 similarly so that the dark level of a pixel 401 may be reflected in the output bus voltage signal 165 during the activity period of the reset signal between the point 171 and the point 172.

The gate voltage signal 162 is clamped while the reset signal 160 is held at the high. It begins to integrate with a charge again for the next reading as the photodetector relevant to [ reset signal / 160 ] the first pixel 401 in after low \*\*\*\*\* is illustrated by the property in the graph of the gate voltage signal 162 which descends gradually.

The selection signal 161 and reset signal 160 for the first pixel 401 are changed to parenchyma top coincidence by the low. When these signals change a condition on the point 172, the selection signal 164 over the following pixel 401 is activated. Subsequently, the output of the 2nd pixel 401 is sampled on the output bus 408 as reflected by the output bus voltage signal 165 shown in drawing 9 . It activates and the reset signal 163 for the 2nd pixel 403 makes the charge emit on the point 173 to the 2nd pixel 401 after sufficient reading time amount. The selection signal 164 and reset signal to the 2nd pixel 401 when the charge is emitted

Supposing 163 changes a condition and it is wanted, it is also possible to read more pixels.

The result of the timing pattern illustrated by drawing 9 assumed that all pixel 401 a-n was read, and has given signal-level level 182 a-n and reset voltage-level 183 a-n to each pixel 401 a-n. Signal-level level 182 a-n adjoins reset voltage-level 183 a-n to each pixel 401 a-n. It is the source follower MOSFET used in the pixel site circuit 402 which is the largest contribution object to the pattern noise to which the signal-level level 182 was potentially fixed in the output

of the imaging array 400. It will subtract from the reset voltage level 183 to each pixel 401 so that the fluctuation in the threshold electrical potential difference of Q1 may be reduced. The subtractor circuit (not shown) suitable for such a purpose may be considered to be this contractor's within the limits, may be included as a part of circuit of the imaging array 102, and is preferably prepared by any cases on the optical reading machine 100 (it illustrates to drawing 1 .) of a single chip.

Drawing 5 shows the CMOS imaging array pattern of deformation of versatility from drawing 2 . Drawing 2 shows the CMOS imaging array 130 which has the single line pattern 131 of two or more pixels. Although the imaging array 130 of drawing 2 offers the engine performance which was more inferior in respect of the initial read-out success rate, it is advantageous from the point of needing cheap cost and a merely little silicon area. Therefore, the imaging array pattern of drawing 2 fits especially the low cost handheld computer optical reading machine especially.

The example of deformation of drawing 3 , drawing 4 , and drawing 5 offers the scope of a larger reading field, therefore it offers shorter reading time amount on the average. Drawing 3 expresses the CMOS imaging array 135 which has the asterisk pattern 136 of two or more pixels. Drawing 4 shows the CMOS imaging array 139 which has the grid-like pattern 140 of two or more pixels. Drawing 5 shows the CMOS imaging array 144 which has the pattern 145 which combined two or more grid-like patterns and asterisk patterns of a pixel. As for the pattern of two or more pixels, it is possible by carrying out the disable of two or more lines or a part of line of those to change a pattern consistency to pattern repeatability and to make it suit electrically according to the need for each specific user again. Although a scope will also spread if the line (or part of a line) which should be carried out reading increases, perfect reading can be finished within the given time amount period by the smaller count.

The conventional 2-dimensional CMOS sensor is formed for the application of general video capture and a machine vision, for example, is described by the following publications. Each of these publications is contained by reference here, as all were indicated here. : "250,000-pixel image sensors which have the FET magnification by each pixel for a high-speed television camera" besides EFU ANDO, 1990 IEEE International solid-state circuit conference (epitome of an engineering paper), pp.212-213; "The CMOS image sensors for multimedia application" besides Py BI DENYA, Proceeding OBU THE, IEEE, and custom-made integrated circuit conference (1993), pp.11.5.1.-11.5.4; "An activity pixel sensor challenges CCD", [ an I foursome and ] A laser focus world (1993 June), pp.83-85; Others [ Mendes / S KE ], "The low light level image sensors which have signal processing on chip", proceeding OBU THE and SPIE, Vol.1952 and AERO tooth-space Science - and - sensing -- Surveillance SENSASU (1993), pp.1-11; Ore BERAKOTTO, "CMOS in a camera", IEEE A review (1994 May), pp.111-114.

By the conventional 2-dimensional CMOS sensor, a charge is locally transformed into an electrical potential difference to a pixel site, and is transmitted through a metal bus according to a demand. On the other hand, typically, although a charge is transmitted to a pixel from a pixel over a CCD array, a CCD sensor requires an electrical potential difference not to be changed until a charge reaches an output amplifier. Because, the need of receiving the charge transfer covering a long distance will be eased by using the CMOS sensor which has the conversion on an electrical potential difference from the charge in a local pixel site, and the requirement of the process for forming the imaging array 102 will be substantially eased to the requirement of the process of a CCD array so that it may be made using a CCD array. The requirement of the eased process enables twist economical manufacture of the integrated chip.

For example, the imaging array of drawing 1 which was materialized like some of imaging arrays illustrated by drawing 2 thru/or drawing 5 outputs the signal which showed the level of the light received in each selected pixel location. Preferably, it connects with gain / offset block 103, and gain / offset block 103 amplifies or adjusts the signal outputted from the imaging array, and the imaging array 102 outputs a video signal 112 as shown by drawing 1 . Low pass wave filtration of the video signal 112 is carried out with a low pass filter 106, and it is sent to the edge detector 107. The edge detector 107 detects change with the video signal 112 corresponding to change between the brighter part of the read notation, and a darker part by known various approaches (for example, U.S. Pat. No. 5,463,211 is indicated and these contents are included by referring to, as all were indicated here here.) learned by this contractor. The edge detector 107 outputs the bar signal 113 including edge detection information.

The video signal outputted from gain / offset block 103 as mentioned above 112 may be changed into a digital format as an option with A/D converter 105 of an option (shown by the dotted line by drawing 1 ). Supposing an A/D converter is used, a low pass filter 106 may be equipped with a digital filter like an infinity impulse response (IIR) filter or a finite impulse response (FIR) filter.

The bar signal 113 outputted from the edge detector 107 is inputted into the notation decoder 109, and the notation decoder 109 identifies the display of the notation read by the approach of the arbitration of various approaches learned by this contractor, and outputs the alphabetic character data signal 114 and the alphabetic character clock signal 115. The notation decoder 109 is installed as an option on the same chip as other circuits illustrated by drawing 1 .



In another mode of this invention, an exposure-time control circuit is prepared on a chip so that two or more pixels of the imaging array 102 may adjust the amount of time amount which collects light accommodative and may optimize reading time amount. The single pixel which adjoined the imaging array 102 or was prepared in the imaging array 102, or two or more pixels which were scattered on the perimeter of the imaging array 102 and were prepared can be used in order to provide an exposure-time control loop with continuous feedback of the received optical level.

Drawing 15 is drawing of the exposure measuring circuit 350 of the example equipped with one photodetector 352. The photodetector 352 of drawing 15 is equipped with the photo-electric-conversion diode 353 connected to juxtaposition as illustrated with the capacitor 354 in this example. However, the architecture of the suitable photodetector of arbitration is enough. The photoelectric sensitivity of a photodetector 352 is the same as that of the photoelectric sensitivity of the pixel of the imaging array 102 almost preferably. Supposing a photodetector 352 is formed by the same approach as the photoelectric element of the imaging array 102, it is necessary to make the photoelectric element of a photodetector 352 and the imaging array 102 into the desirable about same size, and the light of which is received by the imaging array 102 and one photodetector 352 will become the exact criteria of whether to have been absorbed. A photodetector 352 is used in order to measure exposure of the imaging array 102. Charges are collected in the well of that potential until the electrical potential difference by which the photodetector 352 was generated with this charge exceeds the voltage level of the threshold signal 361 during reading actuation. The photodetector electrical potential difference on Rhine 355 is compared with the threshold signal 361 using a comparator 360. When the voltage level of the threshold signal 361 exceeds, a comparator 360 changes a condition, produces the change of state of the output shutter signal, and ends the exposure to all the pixels of the imaging array 102. The clear signal 365 is impressed before the next exposure period, and the charge accumulated from the photodetector 352 (for example, capacitor 354) is made to discharge gradually.

The amount of time amount in which two or more pixels which can be set to the imaging array 102 are exposed by incident light is proportional to time amount required in order that a photodetector 352 (exposure control pixel) may charge to the threshold electrical potential difference of the threshold signal 361 using the exposure control loop which answers the shutter signal 362. Changing variously is possible in order to change the relative intensity of the signal level outputted from the imaging array 102 in the threshold electrical potential difference of the threshold signal 361. The timing chart of the system of two deformation for an accommodative exposure control loop is indicated. The first timing chart is illustrated by drawing 10 and drawing 11, and the second timing chart is illustrated by drawing 12.

Drawing 10 and the timing chart of drawing 11 (for example, like [ of that of drawing 15 ]),

It includes answering change of the optical level detected by the exposure measuring circuit, and changing the frequency of all suitable clocks and control signals to coincidence. An exposure period is defined as the falling edge of the reset signal of the pixel given for drawing 10, drawing 11, and drawing 12, and time amount between the next impressing points of a reset signal. For example, in drawing 9, the exposure period over the first pixel starts on the point 172 which is the falling edge of a reset signal 160, and is ended on the point 179 which is the next impressing point of a reset signal 160.

An exposure period will decrease, if it will increase if optical level decreases as measured by the exposure measuring circuit, and the measured optical level increases. Drawing 10 shows the situation of operating on optical level with a comparatively low system. The signals 190, 191, 192, and 193 in drawing 10 are similar to the signals 160, 161, 163, and 164 shown by drawing 9, respectively. The exposure period 217 of the first pixel begins from the point 203 which is the falling edge of a reset signal 190, and is ended on the point 212 which is the next impressing point of a reset signal 190. Similarly, the exposure period 218 of the second pixel begins from the point 205 which is the falling edge of a reset signal 192, and is ended on the point 214 which is the next impressing point of a reset signal 192. As compared with drawing 11, the periods 217 and 218 of the exposure time are quite long, and as the output bus signal 194 was reflected, they are quite low. [ of the frequency of the transition on an output bus ]

On the other hand, drawing 11 shows the situation of operating on optical level with a comparatively expensive system. Signals 220, 221, 222, and 223 are similar to the signals 190, 191, 192, and 193 in drawing 10 at the signals 160, 161, 163, and 164 in drawing 9, respectively. Like drawing 10, the exposure period 245 of the first pixel begins from the point 232 which is the falling edge of a reset signal 220, and is ended on the point 239 which is the next impressing point of a reset signal 220. Similarly, the period 246 of the exposure time of the second pixel begins from the point 234 which is the falling edge of a reset signal 222, and is ended on the point 241 which is the next impressing point of a reset signal 222. As compared with drawing 10, the periods 245 and 246 of the exposure time are comparatively short, and as the output bus signal 194 was reflected, they are quite high. [ of the frequency of the transition on an output bus ]

The timing chart of the second deformation system is illustrated by drawing 12. In the timing chart of drawing 12,

instead, a data clock frequency is held uniformly, and it changes, and the duty cycle of the reset signal for each pixel answers the change in the received optical level, and changes the exposure time. In order to read the contents of the first pixel, the selection signal 251 over the first (for example, it is pixel 403 illustrated by drawing 16) pixel is impressed on the point 255, as illustrated in drawing 12. After the first pixel is read, the reset signal 250 for the first pixel is impressed on the point 256, in order to clear the first pixel. After time amount sufficient in order to clear the first pixel, a selection signal 251 is not impressed but the selection signal 253 for the second pixel is impressed. When a selection signal 251 is not impressed unlike the timing chart of drawing 9, a reset signal 250 does not need to be made not to be impressed to coincidence. Rather, a reset signal 250 is held with an active state between the amounts of time amount which are determined with the received optical level and which can change subsequent. If the light detected by the exposure measuring circuit decreases, un-impressing [ of a reset signal 250 ] will be performed more early. On the contrary, un-impressing [ of a reset signal 250 ] is later performed as the light detected by the exposure measuring circuit increases.

Drawing 12 is illustrating that the timing of the falling edge of a reset signal 250 changes. Although the concrete range 265 where the falling edge of a reset signal 250 exists is illustrated by drawing 12, this range 265 is for the purpose of illustration only, and the actual range will change depending on various factors (it is (for example, like the peak about the light received with the optical reading vessel, and a critical mass)). The exposure period 260 for the first pixel is determined by the falling edge of the reset signal 250 in the point 261 until impression next to the subsequent reset signal 250 is made on the point 271. The period of the exposure time for other pixels is determined by the same approach.

the period 260 of the exposure time was given preferably -- it reads and is the same to each pixel in a cycle (namely, reading of one of all pixels -- receiving). (Reset signal of each of other pixel) The timing of the falling edge of a reset signal 250 is controlled by the exposure measuring circuit. The exposure control loop which answers an exposure measuring circuit offers the delay period when each selection signal (for example, selection signal 251) continues and which can be changed, and a reset signal (for example, reset signal 250) falls after that. The delay period which can change can obtain as a result the duty cycle which can change each reset signal, answers the change in optical level and changes the exposure time with these. it set working and explained using the example over the first pixel -- as -- a selection signal 251 -- a reset signal -- it activates in front exactly. Supposing a reset signal 250 is a high to the comparatively long period during the pulse interphase in a selection signal 251, the period of the exposure time over the pixel will become comparatively short. On the other hand, to the comparatively short period of the period between the pulses of a selection signal 251, if a reset signal 250 is a high, it will become comparatively long [ the exposure period over the pixel ].

Drawing 17 is drawing illustrating an example of the exposure-time control circuit 450 concerning one example of this invention. Drawing 18 is a timing chart illustrating the effect to the various waves relevant to the exposure-time control circuit 450 of drawing 17, and the pixel exposure timing of an imaging (it is (for example, like imaging array in drawing 1)) array. The exposure-time control circuit 450 of drawing 17 is equipped with the exposure (it is (for example, like exposure measuring circuit 350 shown by drawing 15)) measuring circuit 451, the exposure delay period calculator 455, the clock generation machine 456, and a controller 453. The clock generation machine 456 is connected to an imaging array (not shown) again using a clock signal 465.

Setting working, a controller 453 starts the exposure period of the exposure measuring circuit 451 by activating the exposure start signal 458. Activation of the exposure start signal 458 begins to calculate the die length of the time amount which it will take before the exposure measuring circuit 451 charges a threshold voltage level to the exposure delay period calculator 455 again, as mentioned above about drawing 15. The exposure delay period calculator 455 is connected to the clock generation machine 456, and the clock generation machine 456 outputs the system clock signal 463 to the various destination circuits containing the exposure delay period calculator 455. The exposure delay period calculator 455 may be materialized as a digital counter which carries out counting of the number of clock periods of the system clock signal 463 until the exposure measuring circuit 453 ends charge to a threshold voltage level. If it happens, the exposure measuring circuit 451 will activate the exposure (for example, it is the same as that of shutter signal 362 shown by drawing 15) terminate signal 459, and the exposure delay period calculator 455 will terminate [ terminate signal / 459 / the / exposure ] counting of a clock cycle.

The number of clock cycles by which counting was carried out by the exposure delay period calculator 455 is an exposure (for example, it had 1 set of digital lines which express 1 bit, respectively) delay period signal. It may be transmitted to the clock generation machine 456 using 464. The clock generation machine 456 controls the read-out period of each pixel of an imaging array. In order to adjust the die length of the exposure time of two or more pixels, the clock generation machine 456 applies the number of clock cycles calculated by the exposure delay period

calculator 455 to each reset signal during an additional period, in order to hold the reset signal to a pixel to a high. Drawing 18 is illustrating the timing chart concerning the example of drawing 17. A single string in the period when the contents of the pixel are read was fixed, and drawing 18 is read, and is illustrating Periods 480a, 480b, and 480c and ... The exposure signal 290 shows the starting point and the terminal point of the exposure time over the exposure measuring circuit 451. A controller 453 starts the exposure time of the exposure measuring circuit 481 by activating the exposure start signal 459 on the point 481 by following. The exposure measuring circuit 451 activates the exposure terminate signal 459 which shows that it reaches to a threshold voltage level on the point 482. Similarly, they are the addition points 483, 485, 487, and 489, and a controller 453 starts the exposure time of the exposure measuring circuit 451, and the exposure measuring circuits 451 are the addition points 484, 486, and 488, and it activates the exposure terminate signal 459.

The time amount between the exposure termination point and the immediately following exposure initiation point is delay -1 in drawing 18. 490a, delay -2 490b, delay -3 It has the exposure delay period shown by 490c etc. Exposure delay period 490a operates within the immediately next read-out period as an amount of extended time amount to the reset signal of each pixel. Therefore, as shown by drawing 18, the reset signal 491 relevant to the first pixel is held at a high, even after it is impressed on the point 493 during the activity period of the selection signal 492 relevant to the first same pixel and a selection signal 492 falls. Reset signal

491 is held at a high exceeding the falling edge of the selection signal 492 in the point 502 in the period of exposure delay period 490a calculated by the exposure delay period calculator 455. The reset signal to each pixel of each is a selection signal relevant to the pixel in each reset signal although offset from the reset signal of a front pixel.

It is held between the same exposure delay period 490a following \*\*\*\*\* at a high.

Drawing 17, the circuit of 18, and the effectiveness of timing are having the exposure time which answers the amount of time amount concerning the exposure measuring circuit 451 reaching to a threshold voltage level, and changes, and offering the accommodative exposure time to two or more pixels of an imaging array. the exposure delay periods 490a, 490b, and 490c -- for iteration of each read-out period, ... was newly determined and was given -- reading -- Periods 480a, 480b, and 480c -- it is impressed by each pixel read between ... to all pixels general. The more the time amount which it takes in order that the exposure measuring circuit 451 may charge becomes long so that drawing 18 may show, the exposure delay period applied to the reset signal of a pixel becomes short, and, the more each pixel is enabled to receive light by longer time amount by it. On the contrary, the more the time amount which it takes in order that the exposure measuring circuit 451 may charge becomes short, the exposure delay period applied to a pixel reset signal becomes long, and, the more it offers that a pixel receives light by shorter time amount by that cause.

As mentioned above, preferably, the same exposure delay periods 490a, 490b, and 490c and ... were given, read, and are added to the reset signal of each pixel within a period. All the pixels that all the pixels that follow, for example, should be read between read-out period 480b should be expanded by exposure delay period 490a, and should be read between read-out period 480c are expanded by exposure delay period 490b, and its same is said of others. Because, it holds and memorizes using a digital circuit rather (it is (for example, like the exposure delay period calculator 455)) rather than it is used by the analog [ to which it reads, and is added to each pixel within a period, each pixel has a separate selection signal and a separate reset signal, and an exposure delay period adjusts a reset signal dynamically ] feedback loop to which the same exposure delay period 490 was given preferably. The circuit of deformation may be used as the same function as the analog or digital exposure-time measuring method using the delay line equipped with two or more taps which are one tap for example, to each pixel signal.

Drawing 19 is drawing of circuit arrangement of the deformation which performs the same function as it of drawing 17.

The accommodative exposure control circuit 550 is equipped with the circuit shown in drawing 15, and the same exposure measuring circuit 552 in drawing 19. The exposure measuring circuit 552 outputs the clear signal 554 to reception from an oscillator 553, and outputs the shutter signal 556 to a serial input shift register. Clock synchronization of the shift register 558 is carried out by the clock signal 565 outputted from the clock generation machine 565. The serial shift register 558 has one two or more output reset-signal 561 a-n to each pixel site circuit. Reset-signal 561 a-n is connected to the imaging array 562 which generates the image output signal 567.

An oscillator 553 generates the clear signal 554 equipped with the square wave of the period (it corresponds to the fixed reading time amount cycle) T of a desirable comparatively short duty cycle on actuation. The short pulse 553 clears the exposure component (namely, photodetector) of the exposure measuring circuit 552 by the beginning of each exposure cycle. The exposure measuring circuit 552 is the same approach as the circuit expressed with drawing 15, and generates the shutter signal 556. When the shutter signal 556 switches a condition (answering the photoelectrical detection electrical potential difference beyond for example, a threshold electrical potential difference), change of the



shutter signal 556 spreads a shift register 558 at the rate adjusted by the clock signal 565. Shutter signal 556 When the change by the signal state of 556 arrives to each condition 561 of a shift register 558, it activates one to which it corresponds of reset-signal 560 a-n. Reset-signal 560 a-n carries out sequential activation, and by it, it remains as it is until the shutter signal 556 answers the clear signal 554 outputted from an oscillator 553 and is reset by this. The effectiveness of the circuit of drawing 19 is performing the exposure control signal of the duty cycle to each pixel to which spacing's T was fixed and which reads, has a cycle and was connected to the output of the exposure measuring circuit 552 which can be changed.

It is desirable from a viewpoint which has the inclination which minimizes reading time amount covering the optical level from which sufficient adjustment is generally the basis of assumption of having been made by the digital disposal circuit so that the timing chart of drawing 10 and drawing 11 may be later mentioned more by the detail, and versatility differed the operation of the timing chart of drawing 10 and drawing 11 as compared with it of drawing 12.

The timing chart of drawing 10 and drawing 11 makes it correlate with the optical level which received reading time amount, if it has too much [ the received light ], it will be read, if there is comparatively little light which shortened and received time amount, it will be read, and it also lengthens time amount.

On the other hand, the timing chart of drawing 12 is adjusting the exposure time by adjusting the duty cycle of the reset signal of each pixel using the period of fixed read-out time amount. So, the timing chart of drawing 12 supplies a fixed read-out period fixed according to the case of the situation of the worst light which starts time amount until the exposure measuring circuit 451 generally reaches the threshold electrical potential difference which will be max. In the situation of a powerful light, although the exposure time of a pixel is probably short, read-out time amount will be about [ as the worst light environment / same ]. So, the loss of some reading rate effectiveness is caused. However, generally the timing chart of drawing 12 offers the fixed output data rate which simplifies a decryption. ((like the decoder to which many optical reading machines were connected and which is located in the distant place) It is) An external decoder (raw bar / tooth-space signal)

Probably, this effectiveness will be effective in the bottom of the situation that the limitation of the decode rate currently used for the reception of the output data of a student like data and decode exists.

As for an exposure measuring circuit and the related exposure-time (for example, shown by drawing 17) control circuit, in mounting, it is desirable to be installed in the imaging array 102 and the same chip substrate method as other selected circuits. As for especially a circuit such, it is desirable to be incorporated as some circuits of the shutter time amount controller 121. The shutter time amount controller 121 is connected to the clock generation machine 122 which adjusts the frequency of the suitable clock corresponding to the measured optical level, and a control signal in the case where the timing chart of drawing 10 and drawing 11 is used. The clock generation machine 122 is the address generation machine / decode which controls the charging time and the read-out rate of the imaging array 102.

It connects with logic block 123.

For the timing chart of drawing 12, signal processing of the output of the imaging array 102 ( drawing 1 ) may be performed using the digital disposal circuit which has the response characteristic of a fixed time domain, in order to offer fixed space bandwidth. The fixed response analog or digital signal processing system of many former can be used using the timing chart of drawing 12, or can be adopted for use.

On the other hand, it will be the conventional signal if the timing chart of drawing 10 and drawing 11 is used.

Probably, an art will be unsuitable. While the time domain response of a digital disposal circuit is kept constant, the data rate from the output of the imaging array 102 is because it generally changes with level of the received light. Using the conventional digital disposal circuit using a static time domain response has the inclination to change space bandwidth (the minimum description size on the target qualitatively processed by the signal processor) with optical level. Because, as for the minimum description size of a bar code, it is desirable to often choose the specific description of a basic medium and/or ink so that it may become distinguishable sufficient magnitude clearly, and to hold space bandwidth near as uniformly as general possible. For this reason, the desirable signal processor used using drawing 10 and the frequency timing chart which can change drawing 11 is built so that that time domain response to which a space response is an eternal approach and is in direct proportion to the data clock of an imaging array may be changed. A filter [ like the synchronous digital filter which has a finite impulse response (IIR) or an infinity impulse response (FIR) ] whose desirable signal processor is, The synchronous transversal analog filter using the bucket BURIGEDO delay line by which clock synchronization was carried out, (It is based general on CCD or a sample hold technique) Or by having a switched capacitor filter and using the adjusted same frequency clock signal as what is used in order that those each may access and read the pixel of the imaging array 102, it is formed so that an eternal time domain response may be offered.

A synchronous delay line differentiator is used within signal processing again, and one or more differential coefficients

used for peak detection are obtained from the difference between the amplitude of a current pixel, and the amplitude of the pixel of the neighborhood within the signal processing. The differentiator on the basis of a delay line is contained by referring to here, as it is indicated by U.S. Pat. No. 5,463,211 and indicated completely here. Similarly, a peak detector which changes an attack and damping property of a time domain according to an input data clock rate is used within a digital disposal circuit, and can be mounted by the easy approach by this contractor. (For example, the timing chart of drawing 10 and drawing 11 was indicated like) The advantage which combines the imaging array and synchronizing signal treater of the frequency which can change is that the time amount between an image capture and the successful decode is minimized over the range of optical large level.

If CMOS processing is used, and it wants, both the accommodative exposure control pixel of drawing 15 and the accommodative exposure control loop circuit mentioned above will be able to be mounted on the substrate same as an imaging array 102 with a digital disposal circuit. An accommodative exposure control loop circuit can be designed so that very small power may be consumed, and it can be used for always. Another advantage of this accommodative exposure control loop is the reading period of a test, before a user uses a bar code reading machine, the exposure time is set up almost the optimal and the time amount which reads a bar code is decreased fairly. For example, when not used, a bar code reading machine can use reading of sample light, in order to set the exposure time before sampling and carrying out the trigger of the surrounding light (namely, when a trigger is not done by the user).

Probably, a different approach is needed since it is necessary to read the pixel in a crossing 1 time or more in the location where Rhine where a pixel crosses is used, if the system mentioned above is applied to the optical reading machine of single Rhine, and the optical reading machine of two or more lines which does not cross. The example of the optical reading machine which may have crossover Rhine of a pixel is shown in drawing 3, and 4 and 5. Under the conditions of the light of a high level, one approach for dealing with the problem that it is necessary to read the same pixel two or more times is the approach that each Rhine of a pixel is exposed and read, before processing next Rhine of a pixel. However, since it is necessary to perform this approach separately serially to each Rhine of a pixel by the exposure processing which generally consumes time amount, it is dissatisfied a little at the point that processing is slow with the light of a low. So, it is desirable to make it possible to expose all Rhine of a pixel to coincidence.

The pixel design offered for un-destructive read-out of two or more Rhine of two or more pixels and coincidence exposure is shown in drawing 13 and drawing 14. Drawing 14 is illustrating the circuit diagram of the pixel site circuit 300, the potential graph 315 is used for drawing 13, and it is MOSFET. Drawing of a pixel site circuit including the expression of the charge stored by Q1" is illustrated.

In drawing 13 and drawing 14, each pixel of an imaging (it is (for example, like imaging array 102 of drawing 1)) array is provided with 1 set of common signals. Therefore, the voltage source (VDD) signal 301, the reset signal 302, the read-out gate (ROG) signal 303, the shutter signal 304, and the output bus line 312 are common to all the pixels of an imaging array. The separate selection signal 313 is peculiar to each pixel.

It sets working [ the pixel circuit of drawing 13 -14 ], and is MOSFET. The free electron generated at the photograph gate 307 where Q5" was extended is emitted by activating the shutter gate 306 until exposure of a pixel is started using the shutter signal 304. When such, the shutter gate 306 (namely, gate of MOSFET Q6" illustrated in drawing 14) is closed, and the photograph gate 307 begins to store a charge. If exposure of a pixel is made to \*\*, it will enable the read-out gate 308 (namely, gate of MOSFET Q4" illustrated in drawing 14) by impressing the read-out signal 303. Subsequently, the read-out gate 308 passes stored charge to the are recording field 320 under the output source follower gate 309 (namely, gate of MOSFET Q1"). (The selection signal 313 relevant to the specific pixel which should be accessed is impressed) While that pixel is chosen, this charge needs to remain in the are recording field 320, and it is necessary to cross it to many times, and it needs to read the charge information over each pixel Rhine that specific pixel of whose is one member of all the patterns of a pixel. When the selection signal 313 is impressed, it is MOSFET of a source follower. It connects with the output bus line 312 through selection MOSFET Q2", and Q1" makes possible reading of the charge (namely, electrical potential difference) level stored by this.

At this time, two options for resetting the pixel circuit 300 of an imaging array are possible. The first option is resetting all pixels to coincidence by impressing the common reset signal 302, after all images are read.

This approach is easier in two. Only only one reset line 302 is because it is needed for all the pixels of an imaging array. Each pixel may be immediately reset independently after reading of the newest by activating the reset signal 302 of the pixel so that it may instead make it possible to carry out the minus sign of the reset (for example, for it to have mentioned above about drawing 9 like) level from signal level. This 2nd option offers the fixed pattern noise which decreased more at the sacrifice of the separate reset signal of 302 lines to each pixel.

Drawing 20 is some drawings of the desirable optical reading machine containing the integrated CMOS circuit. The desirable optical reading machine 600 of drawing 20 is equipped with the printed circuit board 605 with which it was

equipped on the CMOS chip 606 containing the integrated CMOS circuit. The integrated CMOS circuit is variously equipped with miscellaneous CMOS circuit 608 with the imaging (for example, it has pattern shown from drawing 2 in addition to this to drawing 5) array 607. Various, miscellaneous CMOS circuit 608 may be equipped with the exposure control circuit, digital disposal circuit, and decoder circuit beyond one or it, as mentioned above. The desirable optical reading machine 600 of drawing 20 is further equipped with the lens 601 which the light reflected from the notation (for example, bar code label) 611 is condensed [ lens ], and makes the light which condensed focus to the imaging array 607.

Although it said that the various examples described here express the addressable pixel independently, it will be recognized by this contractor that it can succeed in the direct modification which enables addressing of the group as whom two or more pixels were chosen.

The design of the optical reading machine equipped with the optical reading machine circuit of the single chip which has the integration topology of circuits mounted with CMOS can offer many advantages in the optical reading machine on the basis of CCD, and other optical reading machines like a premature start spot laser scanner. Lower cost manufacture for the fact that there is that the CMOS optical reading machine of a single chip is easy still more generally than the processing by which the conventional CMOS processing develops into altitude very much, and it is used for two or more CCD, and is influenced [ little ] of a silicon defect in the first place is enabled first. Furthermore, it can integrate on the same CMOS circuit, and thereby, a support function required for an addition target reduces those costs to coincidence, and mitigates the whole system cost. Another advantage is that size becomes small and is the result of also depending this on integration of the circuit about imaging. For example, a perfect optical reading machine is the CMOS circuit of the single chip of drawing 1, and a lens (for example, lens which it is single, and is zone-ized, or it is zone-ized in two or more zones, and can double a focus).

And it may be comparatively built from a small number of external passivity component. Another advantage of this equipment is the dependability highly expected for the number of interconnect of the exterior which decreased in number. Such equipment can attain power consumption substantial more smaller than for example, a CCD chip after all, and the CCD chip is each pixel site. - Almost all the power is consumed by the clock driver needed since the gate in important capacitive load - is driven to coincidence. On the other hand, a CMOS (as [ show / in drawing 16 / for example, ]) imaging array has each addressing of two or more pixels.

Even if it is, the potential fault of a CMOS imaging array circuit will be a pixel site circuit's occupying the quite big amount of area (it decreasing as processing is improved), and bringing about a filling factor smaller than (since cost's being directly related to silicon area), the pitch of a bigger pixel, and resolution low as a result. These potential faults are not so clear in the single dimension (namely, linear) imaging array arranged in order to read a single dimension (as [ showed / in drawing 2 / for example, ]) code. A linear CMOS array can have a small pixel pitch, further, is between Rhine and has a filling factor value near 100% by arranging a pixel access circuit along the side face of a pixel. The silicon field where it remains between Rhine in these examples may be used for other support circuits. Tolerance of the improved collector efficiency and the error of the edge detection of a target can be realized by the linear array by using the pixel of the shape of a long rectangle which has the major axis which intersects perpendicularly with imaging Rhine.

Furthermore, the multi-direction pattern which was excellent for the imaging array which has a 2-dimensional pattern is formed only using the comparatively small part of all 2-dimensional space (for example, drawing 3-drawing 5). You may be used in order to arrange the pixel site circuit needed in order to support the assignment capacity of the address of each (non-destroying reading capacity is included supposing it wants) pixel, and the space between the pixels in such a 2-dimensional pattern can make all the fields of a CMOS imaging array as small as the same as a two-dimensional CCD array at least by this.

Some further advantages will be realized by integrated optical reading machine of a CMOS circuit like the various examples indicated here as compared with the premature start spot laser scanner or the scanning product on the basis of other laser. For example, in order that a CMOS optical reading machine may scan a laser beam, moving part (for example, a dithering mirror, the facet wheel to rotate) is unnecessary, and probably, it shows higher dependability, while it consumes smaller power and has smaller cost, since laser is removed. The need for a heat sinking device is lost, and the CMOS optical reading machine will become more economical and easier in some concepts, since a laser drive circuit, the hardware relevant to a diagnosis/insurance, a beam formation lens, aperture, and related wearing equipment can also be lessened.

Many modifications which are indicated here and remain by the concept of this invention and within the limits are possible for a desirable example. Such a modification will become clear [ this contractor ] to one person after perusal of this specification and a drawing. So, this invention should not be limited if the pneuma in the attached claim and within

the limits are removed.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

## [Claim(s)]

1. Common output bus It has the imaging array equipped with two or more pixels. Each pixel It has the pixel circuit which was connected to the above-mentioned common output bus, and was connected to the photoelectric element and the above-mentioned photoelectric element. Two or more pixel selection signals for choosing the pixel which connects with two or more above-mentioned pixels, and should be read, It is the optical reading machine with which it has the address generation machine which has two or more output Rhine connected to the above-mentioned pixel, and the above-mentioned address generation machine provides two or more above-mentioned pixels with each access.
2. The above-mentioned imaging array is the optical reading machine according to claim 1 formed using CMOS processing.
3. The above-mentioned imaging array and an address generation machine are an optical reading machine according to claim 1 arranged on the same chip substrate.
4. The above-mentioned optical reading machine is an optical reading machine according to claim 3 further equipped with the low pass filter arranged on the above-mentioned chip substrate, and the edge detector.
5. The above-mentioned optical reading machine is an optical reading machine according to claim 4 further equipped with the notation decoder which was connected to the above-mentioned edge detector and has been arranged on the above-mentioned chip substrate.
6. Optical reading machine according to claim 1 further equipped with accommodative exposure control circuit.
7. It is the optical reading machine according to claim 6 by which the above-mentioned accommodative exposure control circuit was equipped with at least one standalone version photodetector which is not used in the above-mentioned imaging array, and the above-mentioned standalone version photodetector was connected to the comparator.
8. Each pixel is the optical reading machine according to claim 1 connected to the reset signal for clearing each pixel after each pixel was read.
9. It is Formed Using CMOS Processing and Has Imaging Array Arranged on CMOS Chip Which Has Chip Substrate. The Above-mentioned Imaging Array It has two or more accessible pixels at random. The imaging array output signal connected to the above-mentioned imaging array, It is the integrated optical reading circuit which it had the digital disposal circuit connected to the above-mentioned imaging array output signal, and the above-mentioned digital disposal circuit was formed using CMOS processing, and has been arranged on the above-mentioned CMOS chip.
10. The above-mentioned digital disposal circuit is an integrated optical reading circuit [ equipped with the amplifier connected to the above-mentioned imaging array output signal, the low pass filter connected to the above-mentioned amplifier, and the edge detector connected to the above-mentioned low pass filter ] according to claim 9.
11. It is the integrated optical reading machine according to claim 9 which two or more pixels were separately accessed by this by equipping further with an address generation machine the optical reading machine by which integration was carried out [ above-mentioned ], and the above-mentioned address generation machine was formed using CMOS processing, and has been arranged on the above-mentioned CMOS chip.
12. It is the integrated optical reading machine according to claim 9 which it had further the accommodative exposure control circuit for adjusting the exposure time of two or more above-mentioned pixels, and the above-mentioned accommodative exposure control circuit was formed using CMOS processing, and has been arranged on the above-mentioned CMOS chip.
13. It is the integrated optical reading machine according to claim 12 which is further equipped with the clock generation machine connected to the above-mentioned accommodative exposure control circuit, and the above-mentioned clock generation machine answers the output of the above-mentioned accommodative exposure control circuit, and adjusts a clock frequency.



14. The integrated optical reading machine according to claim 12 which was further equipped with the means for adjusting the duty cycle of the pixel charging time based on the output of the above-mentioned accommodative exposure control circuit.

15. It is the integrated optical reading machine according to claim 9 which it had further the decoder connected to the above-mentioned digital disposal circuit, and the above-mentioned decoder was formed using CMOS processing, and has been arranged on the above-mentioned CMOS chip.

16. The above-mentioned imaging array is the integrated optical reading machine [ equipped with the multi-dimension pattern of two or more pixels ] according to claim 9.

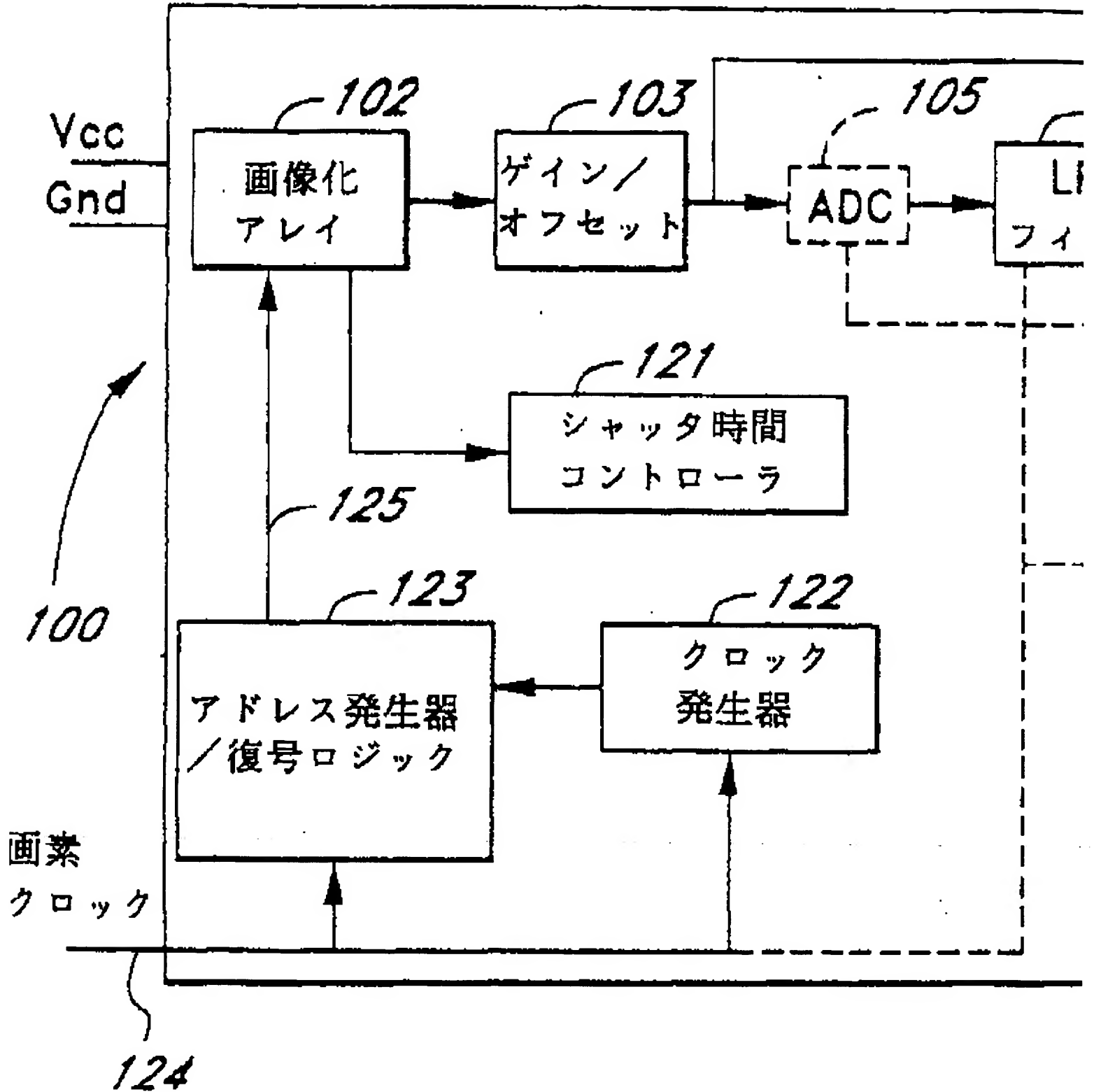
17. Imaging Array Equipped with Two or More Imaging Array Pixels It Has at Least One Different Exposure Control Pixel from Two or More Above-mentioned Imaging Array Pixels. By This the level of an ambient light is measured, this is answered and an output signal outputs [ an exposure control pixel electrical potential difference ] -- having -- the above -- with the 1st input connected to one exposure control pixel even if few It has the comparator which has the 2nd input connected to the threshold signal. The above-mentioned comparator The above-mentioned exposure control pixel voltage-output signal exceeding the above-mentioned threshold signal is answered, and an output state is changed. Optical reading circuit equipped with the clock generation machine for answering the above-mentioned comparator and adjusting the amount of exposure times of two or more above-mentioned imaging array pixels.

18. The above-mentioned clock generation machine is an optical reading circuit according to claim 17 which adjusts the above-mentioned amount of exposure times of two or more above-mentioned imaging array pixels by adjusting the duty cycle of the charging time of an imaging array pixel based on the amount of exposure times of the above-mentioned exposure control pixel.

19. It is the optical reading circuit according to claim 17 where the above-mentioned amount of exposure times of two or more above-mentioned imaging array pixels was adjusted, and the above-mentioned read-out clock was connected to the digital disposal circuit which receives the output of the above-mentioned imaging array again by [ which read and adjusts the clock frequency of a clock ] having connected the above-mentioned clock generation machine to the above-mentioned imaging array.

20. The above-mentioned imaging array, an exposure control pixel, a comparator, and a clock generation machine are the optical reading circuit according to claim 17 which was formed using CMOS processing and combined on the same chip.

FIG. 1



## \* NOTICES \*

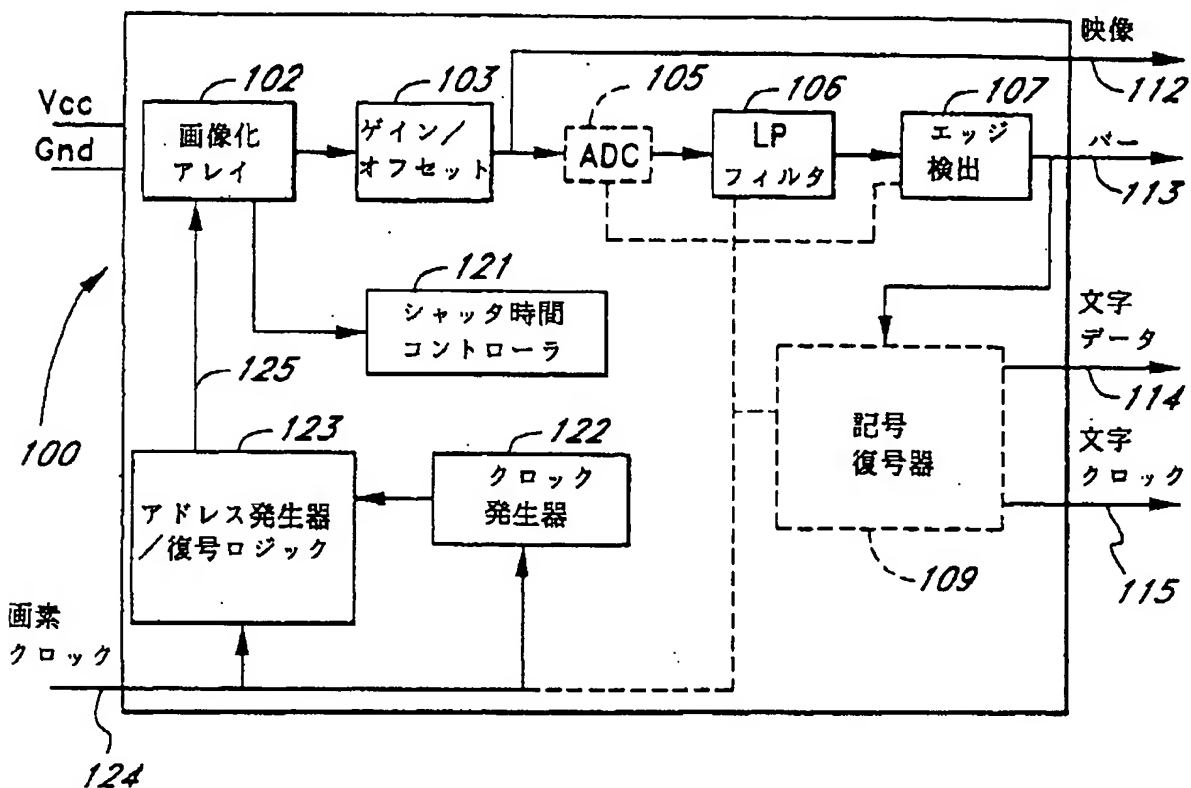
JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

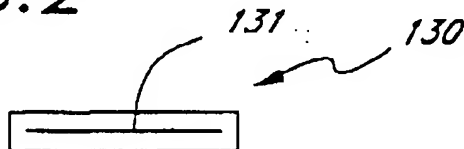
[Drawing 1]

FIG. 1

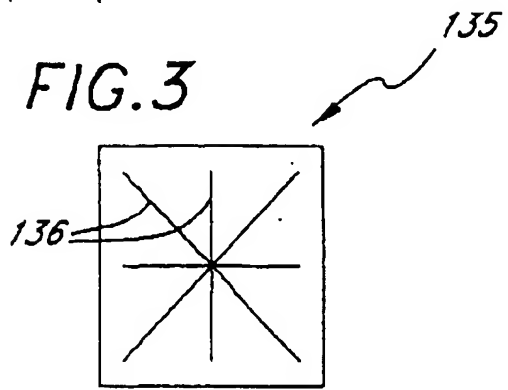


[Drawing 2]

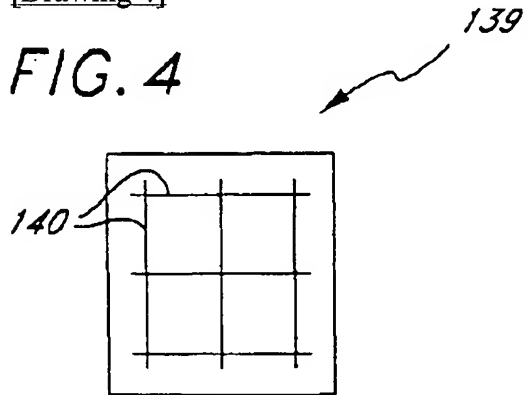
FIG. 2



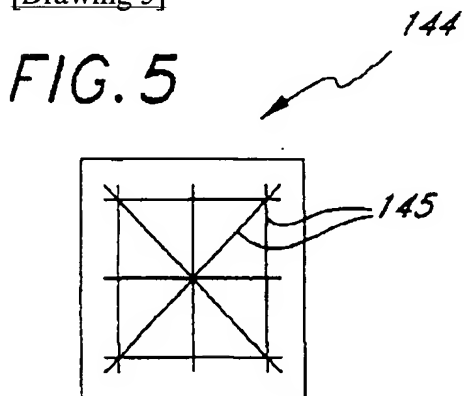
[Drawing 3]



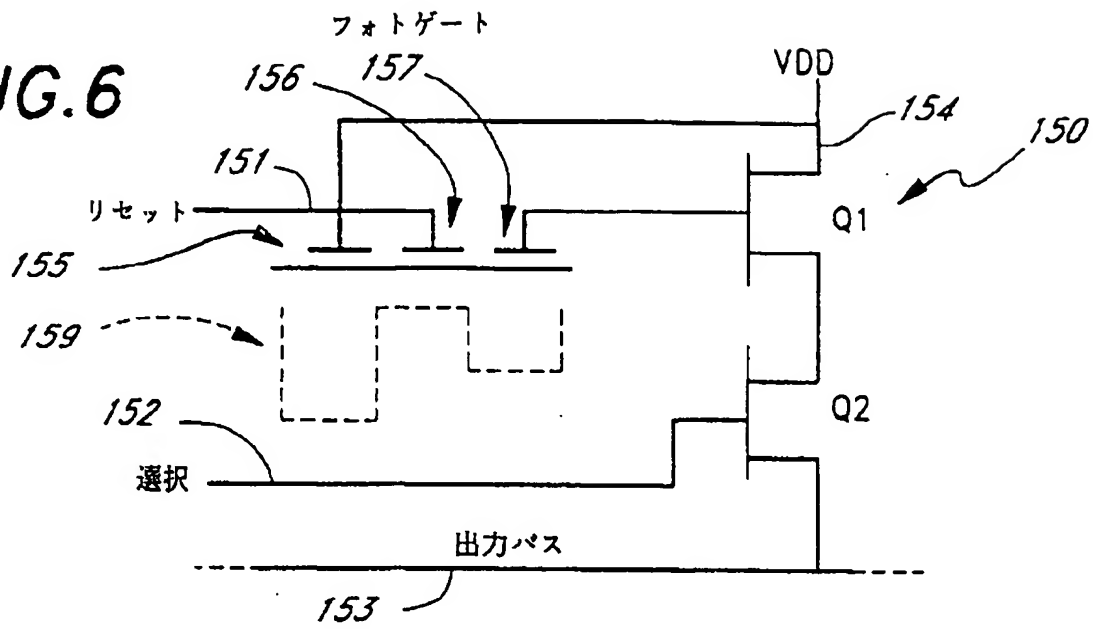
[Drawing 4]



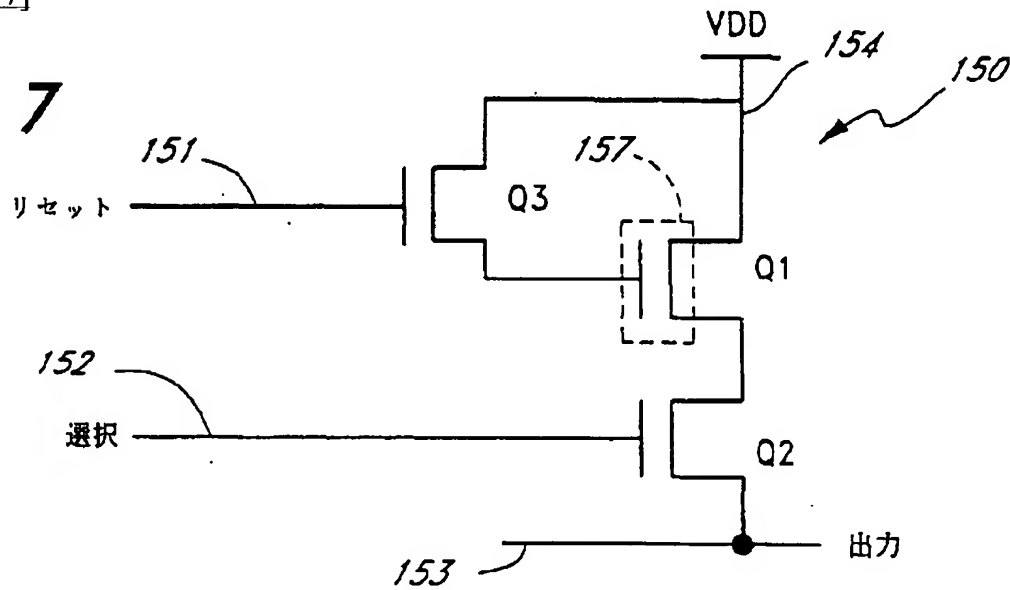
[Drawing 5]



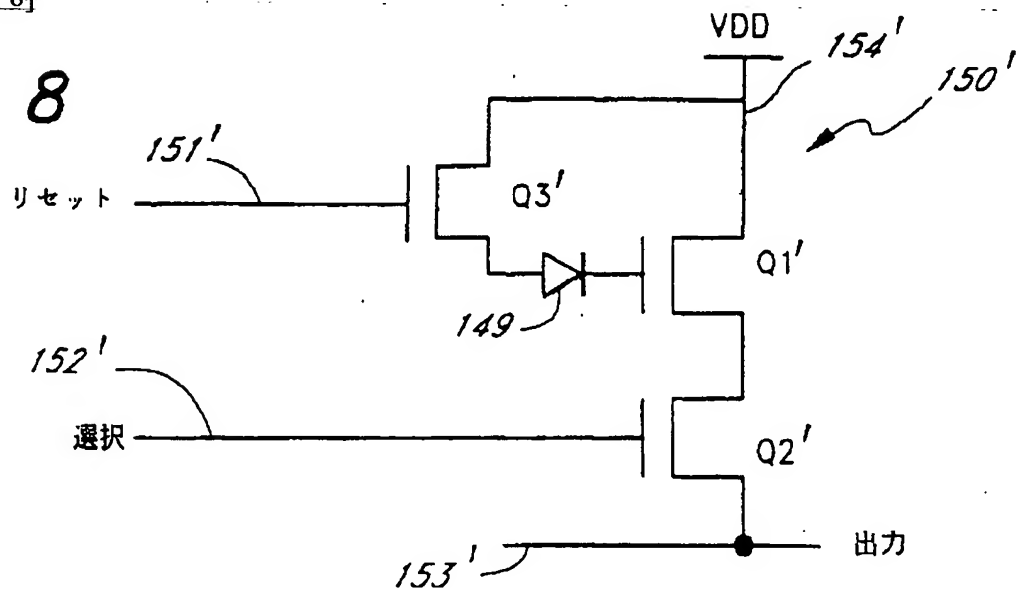
[Drawing 6]

**FIG. 6**

[Drawing 7]

**FIG. 7**

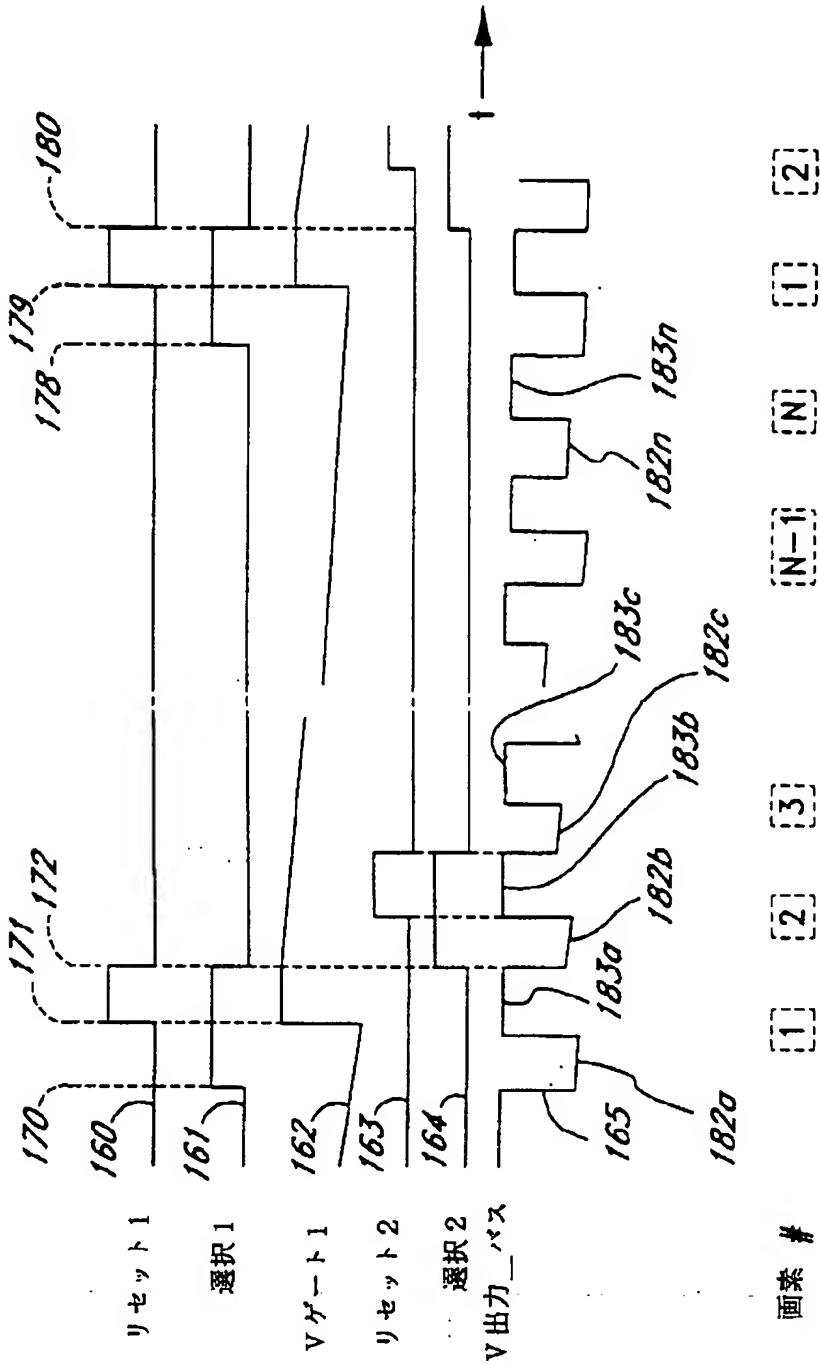
[Drawing 8]

**FIG. 8**

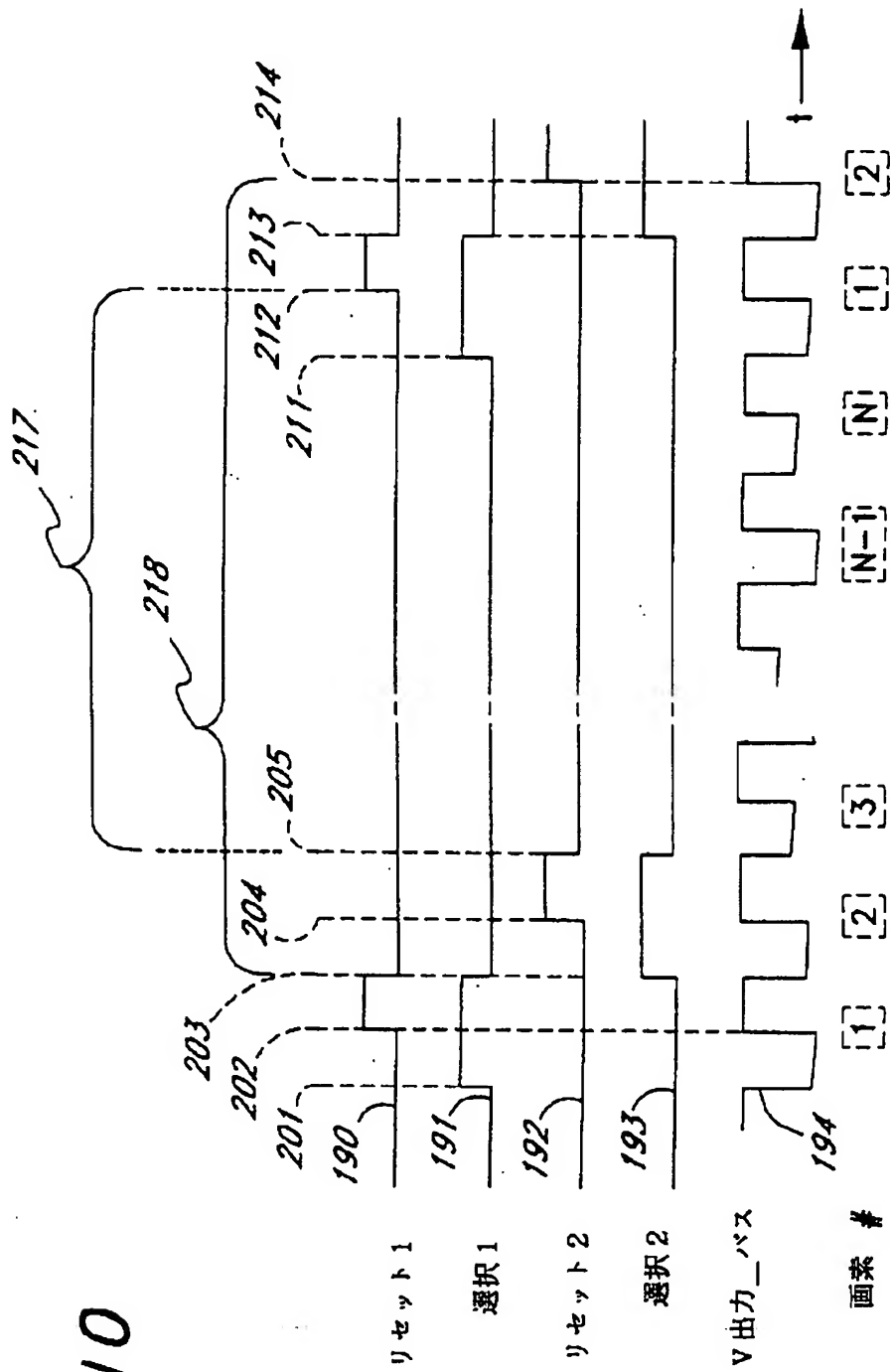


[Drawing 9]

FIG.9



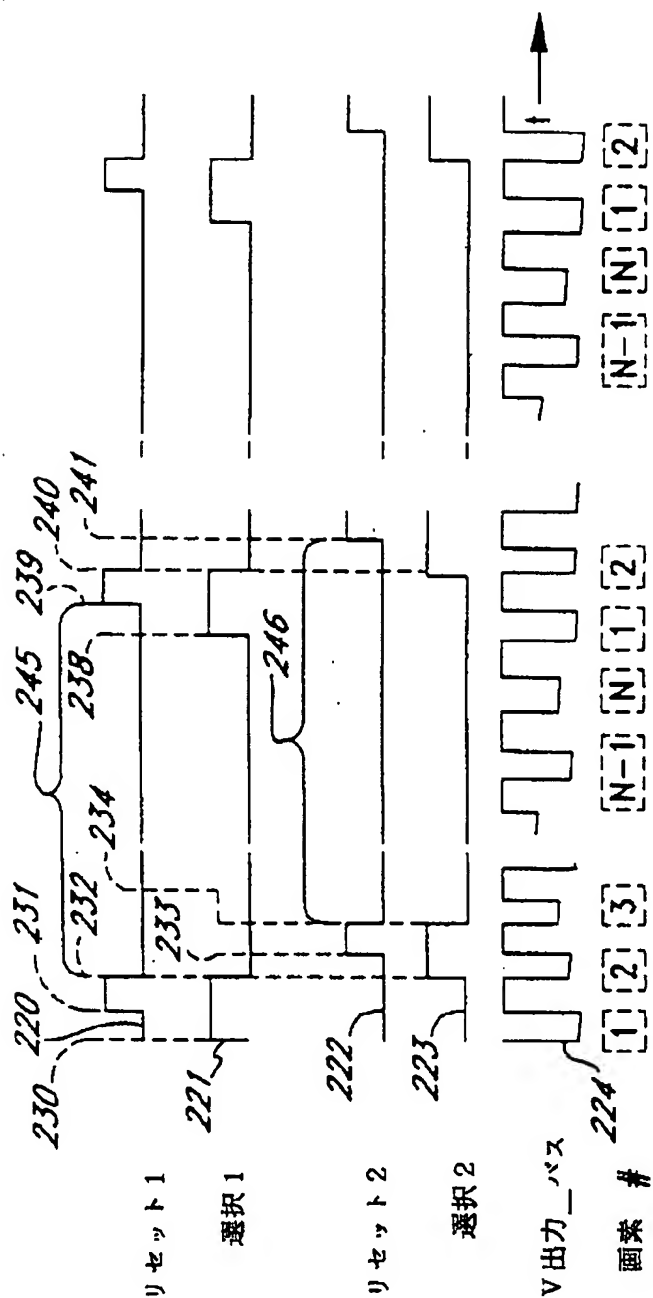
[Drawing 10]

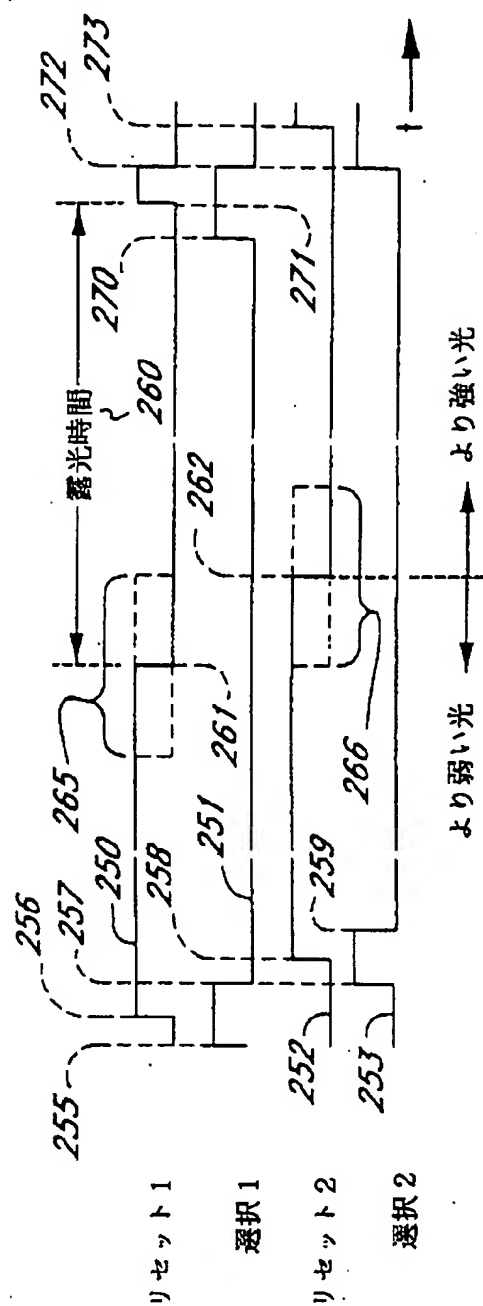


[Drawing 11]

FIG. 11

[Drawing 12]

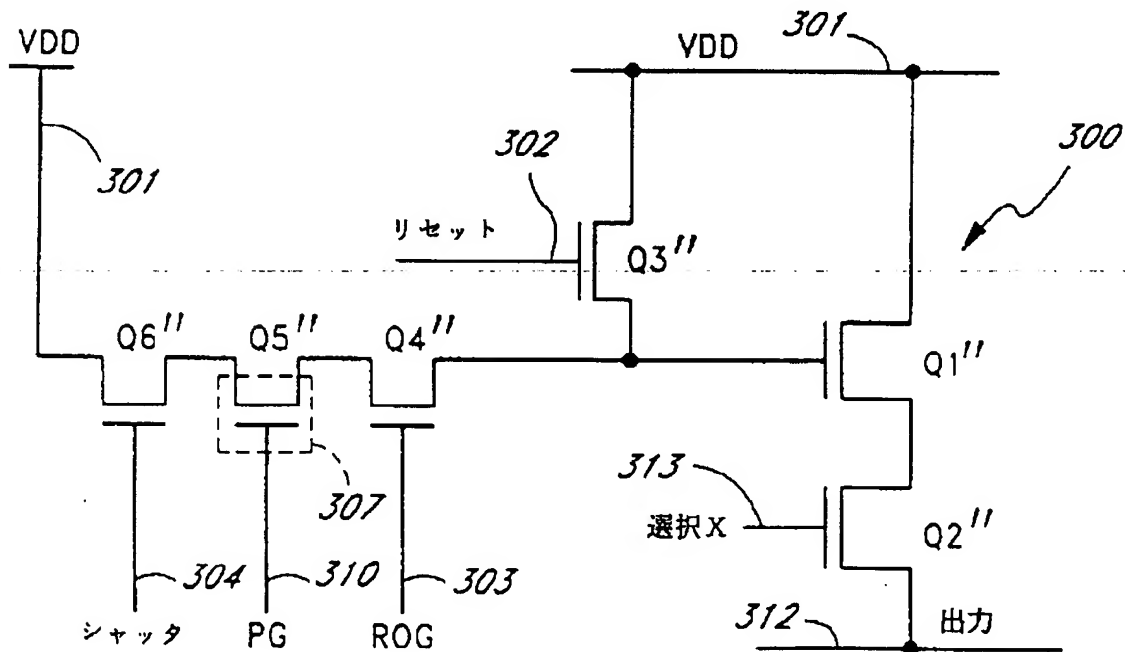




[Drawing 13]

302 VDD  
リセット  
ROG  
シャッタ  
301  
303  
304  
305  
306  
307  
308  
PG  
310  
Q3''  
309  
Q1''  
Q2''  
315  
313  
選択 X  
312 出力バス  
300  
320

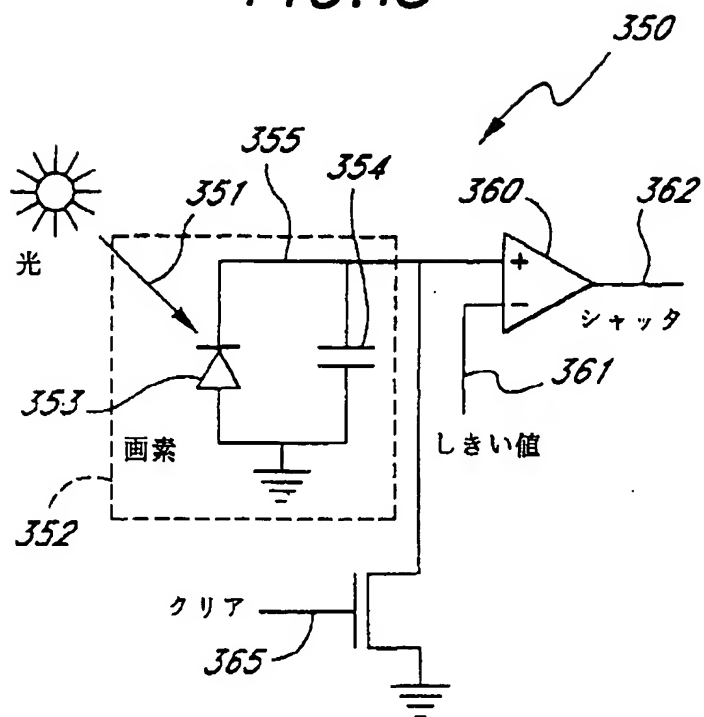
**FIG. 14**



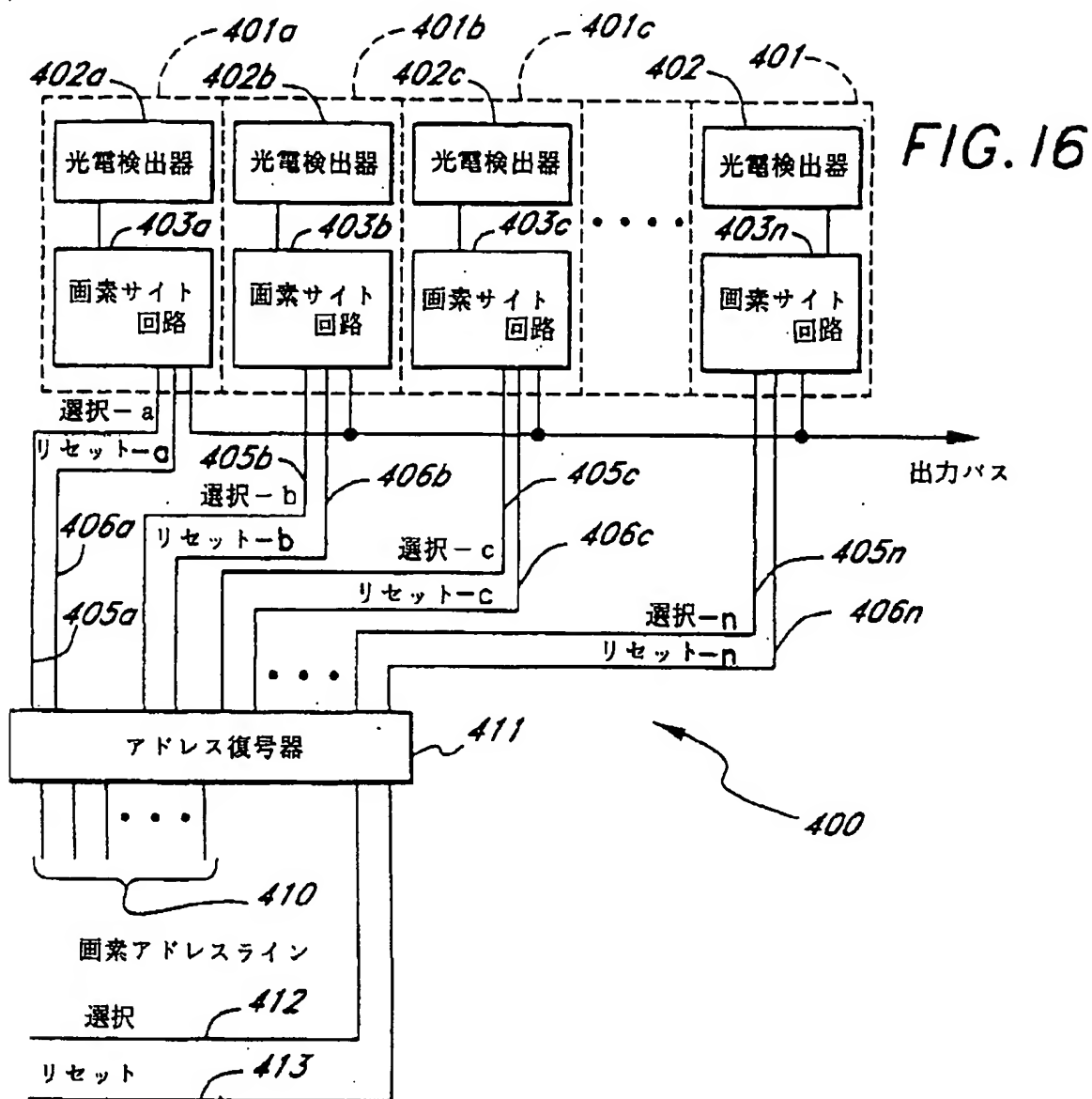
10/26/2005



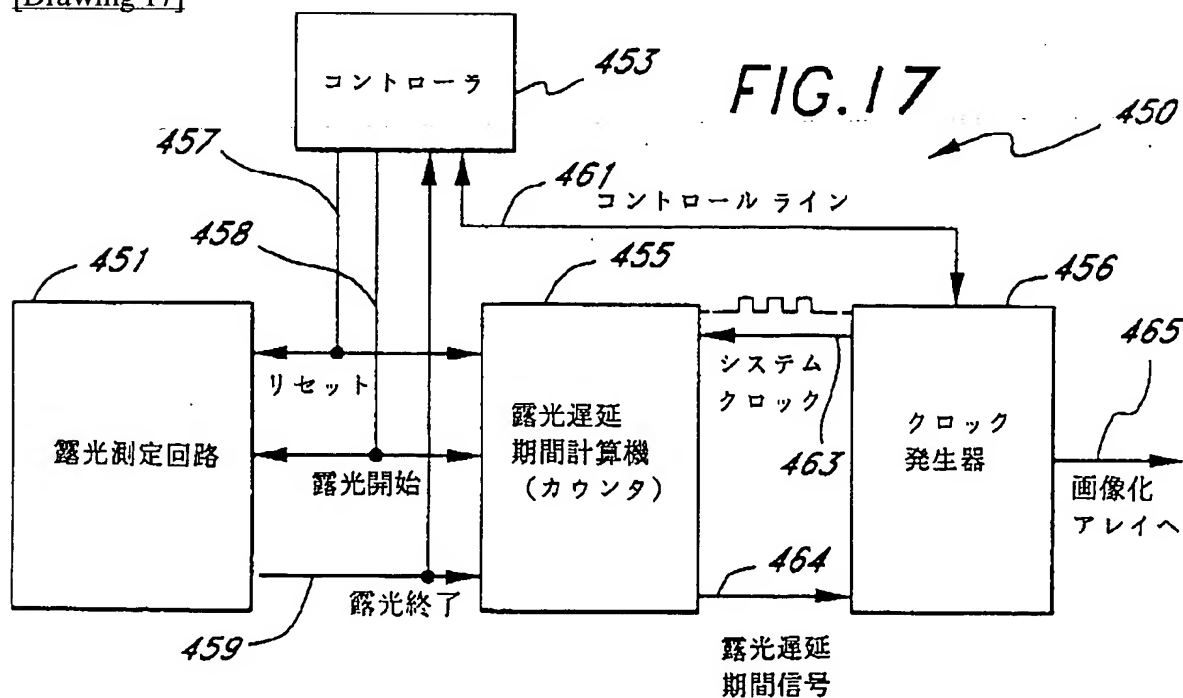
FIG. 15



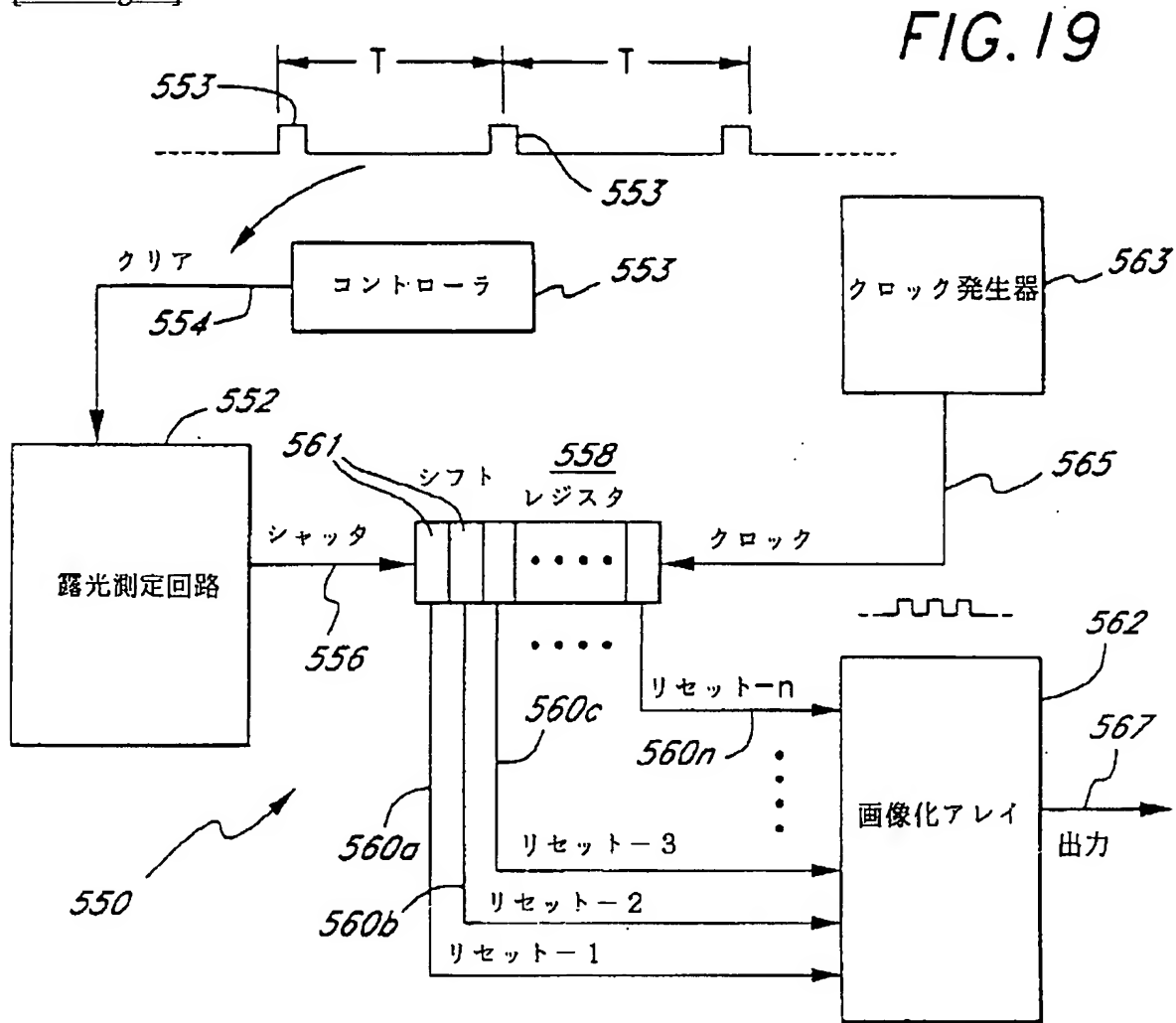
[Drawing 16]



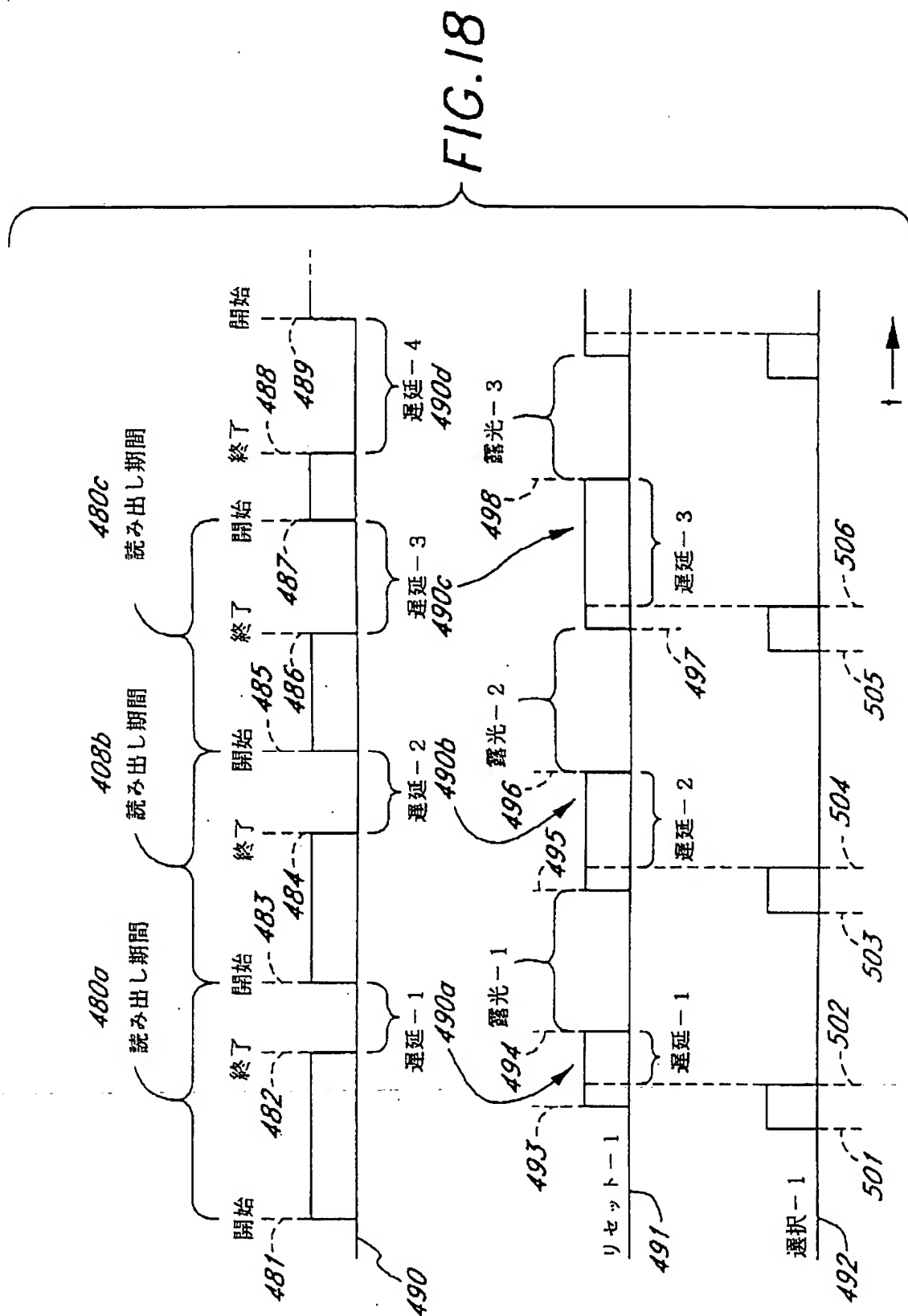
[Drawing 17]



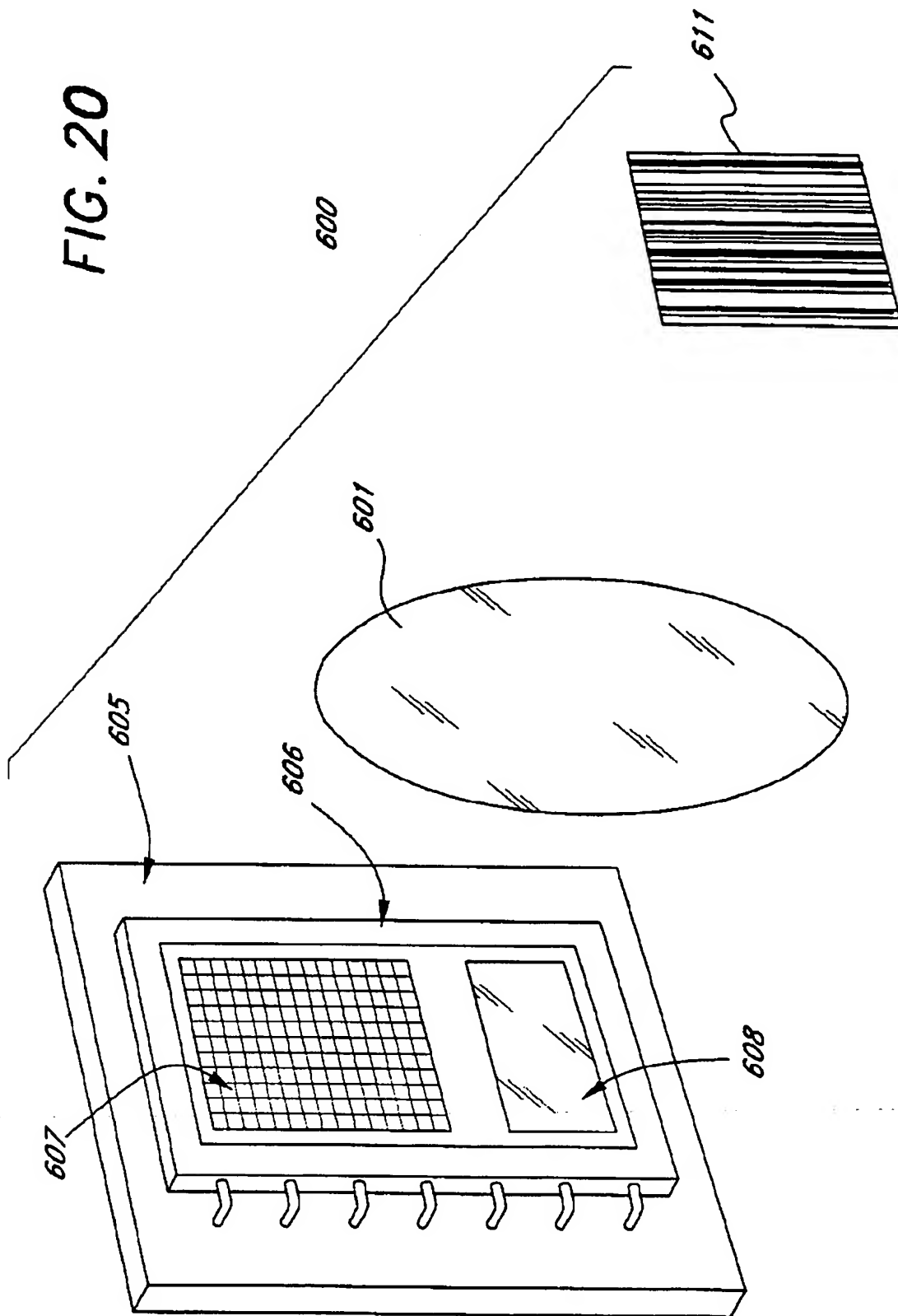
[Drawing 19]



[Drawing 18]



[Drawing 20]



[Translation done.]



Bg

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平10-508133

(43) 公表日 平成10年(1998) 8月4日

(51) Int.Cl.<sup>6</sup>  
G 0 6 K 7/10

識別記号

F I  
G 0 6 K 7/10

G

審査請求 未請求 予備審査請求 未請求(全 48 頁)

(21) 出願番号 特願平9-510472  
(86) (22) 出願日 平成8年(1996) 8月23日  
(85) 翻訳文提出日 平成9年(1997) 4月25日  
(86) 国際出願番号 PCT/US 96/13659  
(87) 国際公開番号 WO 97/08647  
(87) 国際公開日 平成9年(1997) 3月6日  
(31) 優先権主張番号 60/003, 256  
(32) 優先日 1995年8月25日  
(33) 優先権主張国 米国 (US)  
(81) 指定国 GB, JP

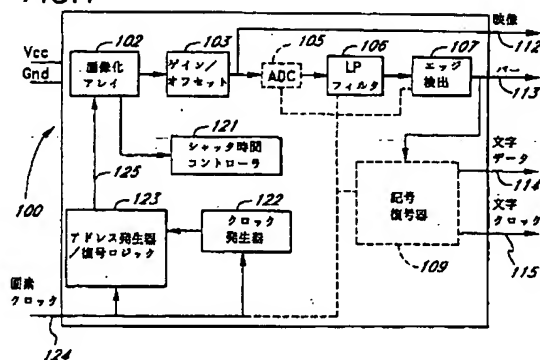
(71) 出願人 ビーエスシー・インコーポレイテッド  
アメリカ合衆国14580ニューヨーク州 ウ  
ェブスター、バスケット・ロード675番  
(72) 発明者 オルムステッド、ブライアン・エル  
アメリカ合衆国97402オレゴン州ユージー  
ン、マンガン2568番  
(72) 発明者 コリー、ジェイムズ・イー  
アメリカ合衆国97405オレゴン州ユージー  
ン、チョーサー・コート2565番  
(74) 代理人 弁理士 青山 蓁 (外2名)

(54) 【発明の名称】 集積化されたCMOS回路を備えた光学読み取り器

(57) 【要約】

光学的又は記号読み取り器チップ(100)は、それぞれ従来の画素サイト回路を有し、複数の画素を有するCMOS画像化アレイ(102)を備える。電荷は各画素位置で蓄積されて要求に応じて共通バスに転送される。上記画像化アレイの露光時間はフィードバックループを用いて制御される。1つ又はそれ以上の露光制御画素は、上記画像化アレイに隣接して、又は上記画像化アレイ内に配置され、上記画像化アレイに沿って受光する。CMOS信号処理回路は、露光制御回路(450)と組み合わせて用いられ、光レベルの広い範囲にわたって読取時間を最小化する一方、静的に光学的なフィルタリングを実行する。複数のクロックサイクル(122)と複数の制御信号は、信号処理回路(109)によって不変の周波数応答を提供するように、上記画像化アレイの変化する出力周波数に従って時間調整される。

FIG. 1



**【特許請求の範囲】****1. 共通出力バスと、**

複数の画素を備えた画像化アレイとを備え、各画素は、上記共通出力バスに接続され、光電素子と上記光電素子に接続された画素回路を備え、

上記複数の画素に接続され、読み出すべき画素を選択するための複数の画素選択信号と、

上記画素に接続された複数の出力ラインを有するアドレス発生器を備え、上記アドレス発生器は、個々のアクセスを上記複数の画素に提供する光学読み取り器。

2. 上記画像化アレイは、CMOS処理を用いて形成された請求項1記載の光学読み取り器。

3. 上記画像化アレイとアドレス発生器とは、同一のチップ基板上に配置された請求項1記載の光学読み取り器。

4. 上記光学読み取り器は、上記チップ基板上に配置された低域通過フィルタとエッジ検出器とをさらに備えた請求項3記載の光学読み取り器。

5. 上記光学読み取り器は、上記エッジ検出器に接続され、上記チップ基板上に配置された記号復号器をさらに備えた請求項4記載の光学読み取り器。

6. 適応的露光コントロール回路をさらに備えた請求項1記載の光学読み取り器。

7. 上記適応的露光コントロール回路は、上記画像化アレイにおいて用いられていない少なくとも1つの独立型光電検出器を備え、上記独立型光電検出器は比較器に接続された請求項6記載の光学読み取り器。

8. 各画素は、各画素が読み取られた後、各画素をクリアするためのリセット信号に接続された請求項1記載の光学読み取り器。

9. CMOS処理を用いて形成され、チップ基板を有するCMOSチップ上に配置された画像化アレイを備え、上記画像化アレイは、ランダムにアクセス可能な複数の画素を備え、

上記画像化アレイに接続された画像化アレイ出力信号と、

上記画像化アレイ出力信号に接続された信号処理回路を備え、上記信号処理回

路は、CMOS処理を用いて形成され、上記CMOSチップ上に配置された集積

化された光学読み取り回路。

10. 上記信号処理回路は、上記画像化アレイ出力信号に接続された増幅器と、上記増幅器に接続された低域通過フィルタと、上記低域通過フィルタに接続されたエッジ検出器とを備えた請求項9記載の集積化された光学読み取り回路。

11. 上記集積化された光学読み取り器はさらにアドレス発生器を備え、これによって、複数の画素は個々にアクセスされ、上記アドレス発生器はCMOS処理を用いて形成されかつ上記CMOSチップ上に配置された請求項9記載の集積化された光学読み取り器。

12. 上記複数の画素の露光時間を調整するための適応的露光コントロール回路をさらに備え、上記適応的露光コントロール回路はCMOS処理を用いて形成されかつ上記CMOSチップ上に配置された請求項9記載の集積化された光学読み取り器。

13. 上記適応的露光コントロール回路に接続されたクロック発生器をさらに備え、上記クロック発生器は上記適応的露光コントロール回路の出力に応答してクロック周波数を調整する請求項12記載の集積化された光学読み取り器。

14. 上記適応的露光コントロール回路の出力に基づいて、画素充電時間のデューティサイクルを調節するための手段をさらに備えた請求項12記載の集積化された光学読み取り器。

15. 上記信号処理回路に接続された復号器をさらに備え、上記復号器は、CMOS処理を用いて形成されかつ上記CMOSチップ上に配置された請求項9記載の集積化された光学読み取り器。

16. 上記画像化アレイは複数の画素の多次元パターンを備えた請求項9記載の集積化された光学読み取り器。

17. 複数の画像化アレイ画素を備えた画像化アレイと、

上記複数の画像化アレイ画素とは異なる少なくとも1つの露光コントロール画素とを備え、これによって、周囲光のレベルが測定され、これに応答して露光コントロール画素電圧が出力信号が出力され、

上記少なくとも1つの露光コントロール画素に接続された第1の入力と、しき

い値信号に接続された第2の入力とを有する比較器を備え、上記比較器は、上記しきい値信号を越える上記露光コントロール画素電圧出力信号に応答して出力状態を変化し、

上記比較器に応答して、上記複数の画像化アレイ画素の露光時間量を調整するためのクロック発生器を備えた光学読み取り回路。

18. 上記クロック発生器は、上記露光コントロール画素の露光時間量に基づいて、画像化アレイ画素の充電時間のデューティサイクルを調整することによって、上記複数の画像化アレイ画素の上記露光時間量を調節する請求項17記載の光学読み取り回路。

19. 上記クロック発生器は、上記画像化アレイに接続された読み出しクロックのクロック周波数を調整することによって、上記複数の画像化アレイ画素の上記露光時間量を調節し、上記読み出しクロックはまた上記画像化アレイの出力を受信する信号処理回路に接続された請求項17記載の光学読み取り回路。

20. 上記画像化アレイと、露光コントロール画素と、比較器と、クロック発生器は、CMOS処理を用いて形成されかつ同一のチップ上に結合された請求項17記載の光学読み取り回路。

21. 上記画像化アレイに接続された信号処理回路と、上記信号処理回路に接続された復号器とをさらに備え、上記信号処理回路と上記復号器とは、上記CMOSチップ上で結合された請求項20記載の光学読み取り回路。

22. レンズと、

上記レンズによって焦点を合わせられた光を受け取るように配置された画像化アレイとを備え、上記画像化アレイは、個々にアクセス可能な複数の画素のパターンを有する光学読み取り器。

23. 上記複数の画素のパターンは、二次元パターンを備えた請求項22記載の光学読み取り器。

24. 上記二次元パターンは、格子状パターンを備えた請求項23記載の光学読み取り器。

25. 上記二次元パターンは、アスタリスクパターンを備えた請求項23記載の

光学読み取り器。

26. 上記二次元パターンは、少なくとも1つの画素にオーバーラップする複数の画素からなる少なくとも2つのリニアアレイを備え、上記少なくとも1つの画素は、非破壊方法で読み出されることが可能である請求項23記載の光学読み取り器。

## 【発明の詳細な説明】

## 発明の名称

集積化されたCMOS回路を備えた光学読み取り器

## 発明の背景

## 1) 発明の技術分野

この発明の技術分野は、例えばバーコードのような記号の読み取りに関し、特に、集積化された光学及び信号処理回路を有するバーコード又は記号読み取り器に関する。

## 2) 背景

現在、入手できるバーコード読み取り器は、典型的には、数ダースの機械的及び光学的部品と共に、10個から50個の集積化回路を有している。しかしながら、市場の要求は、信頼性及び性能を犠牲にすることなく、バーコード読み取り器のコスト及びサイズを劇的に減少させることである。バーコード読み取り器で使用される部品数の減少は、これらの要求達成を助けるだろう。

これまでの減少化の試みでは、様々な集積化レベルを通して、可視レーザーを基礎とするスキャナにおける部品数は困難性を伴っていた。AlGaInP材料を用いて典型的に形成された可視レーザーダイオードは、電子回路又は信号処理回路の少なくとも幾つかの部分が設けられるシリコン基板上に直接集積化することは不可能である。シリコン基板上に装着された熱伝導パッド上にレーザーダイオードが装着されるというハイブリッドのアプローチの方法は、ソニーによって（たとえば、コンパクトディスク製品に使われている彼等のレーザーカップラにおいて）実証されている。このタイプの構成では、シリコン基板上の電子回路の性能は、ダイでの多大な熱勾配のために低下する。性能もまた、レーザー迷光からの光再結合によって、不運にも影響を受けて、ノイズレベルの増加を引き起こす。さらに、信頼性はまた、レーザーの結合での巨大な電力密度のために、多くのレーザーを基礎とするスキャナ製品において比較的悪い。

幾つかのバーコード読み取り器は、レーザーダイオードの代用品として電荷結合素子（CCD）を用いている。しかしながら、CCDチップは、一般的には他

のタイプの回路の形成にはあまり適さない、非常に特殊化された金属酸化膜半導体(MOS)処理を必要とするために、これらのシステムにおける回路コンポーネントの集積化はまた、困難である。たとえば、ほとんどのCCDチップに要求される同一のMOSプロセスを用いて、一般的に演算増幅器の構築に必要とされる高相互コンダクタンスの電界効果トランジスタ(FETs)を形成することは、实际的ではない。さらに、シリコン領域の単位当たりのこの特殊化されたプロセスに対する製造コストは、従来のバイポーラ及びCMOSプロセスの製造コストよりかなり高くなる。なぜなら、主として、妥当な電荷転送効率を達成するためには非常に高純度なシリコンが必要とされるからである。したがって、CCDを基礎としたバーコード読み取り器での回路の集積化は困難であり、可能だとしても、製造的見地からは比較的高価になるだろう。

本発明者は、それゆえ、製造コストが非常に高価ではなく、集積化が比較的容易な回路を有するバーコード又は記号読み取り器を提供することが有益であると決定した。さらに、減少した部品数を有するバーコード読み取り器を提供するとともに、さらに加えて、集積化光学及び信号処理回路を含むサイズが小さくされたバーコード読み取り器を提供することが有益である。

#### 発明の概要

本発明は、集積化されたCMOS回路を含む光学読み取り器を、1つの態様において提供する。CMOS画像化アレイは、複数の画素位置で光を受け取り、その結果の電荷を各画素サイトでの局所的な電圧に変換する。その電荷は、要求に応じて直接共通の金属バスに転送される。CMOS画像化アレイは、光学読み取り器内の他のCMOS回路と共に集積化してもよい。

本発明のもう1つの態様においては、画像化アレイの露光時間は、フィードバックループを用いて制御される。1つ又はそれ以上の露光コントロール画素は、画像化アレイに隣接して、又は画像化アレイ内に配置され、画像化アレイに沿って光を受け取る。1つ又は複数の露光コントロール画素の電荷は、しきい値レベルと比較され、しきい値レベルまで到達するのに必要な時間量は、画像化アレイの画素の露光時間を決定する。1つ又は複数の露光コントロール画素及びコントロ

ールループの両方は、同一のCMOSプロセスを用いて形成することができ、画像化アレイと同じ基板上に配置することができる。バーコード読み取り器を使用者が使う前に、露光時間を最適に又はほとんど最適に設定することができ、これによって、（例えば、バーコードラベルなどの）記号又はコードを読むために必要な時間量を減少させる。

この発明のもう1つの態様においては、CMOS信号処理回路は、露光コントロール回路と組み合わせることにより、空間的な最適化フィルタリングを行っている間、光レベルの大きな範囲にわたって読み取り時間を最少化するために用いられる。クロックサイクル及びコントロール信号は、信号処理回路による不変の空間周波数応答を供給するように、画像化アレイの変化する出力周波数に応じて時間が調整される。これらの信号処理の方法は、CMOS内で効率的に実現されるだろう。

本発明のもうひとつの態様においては、画素内容を非破壊的に読み取り、同時画素露光を行う多次元画像化アレイが提供される。多次元画像化アレイは、ある選択された複数の画素が1つ以上の一次元画像化アレイで用いられ、例えば、一次元画像化アレイの格子又は他の組み合わせのような二次元パターンを備えてもよい。非破壊読み取り能力は、ある画素が1つのメンバーである各一次元画像化アレイに対して一度、同一の画素が、複数回読み出されること可能にしている。

上記に対する別の変形例や変更例は、また記載される。

#### 図面の簡単な説明

図1は、好ましい光学読み取り器のブロック図である。

図2から図5は、種々の変形のCMOS画像化アレイパターンの図である。

図6及び図7は、活性画素CMOSアレイの1部分を形成する、好ましい画素サイト回路の図であって、図8は、画素サイト回路の変形の実施例の図である。

図9は、図6及び図7の回路に関連するタイミングチャートである。

図10及び図11は、低レベル光及び高レベル光の各々の適応的露光回路を含む好ましい光学読み取り器の動作を図示したタイミングチャートである。

図12は、適応的露光回路を含む光学読み取り器の変形の実施例の動作を図示



したタイミングチャートである。

図13及び図14は、CCDセルの非破壊読み込み及び同時露光を有する発明の好ましい実施例に係るCCDセルの図である。

図15は、単一画素を制御する適応的露光回路の図である。

図16は、本発明の1つの実施例に係る画像化アレイ及び関連したアドレス回路のブロック図である。

図17は、適応的露光コントロールループのブロック図である。

図18は、調整可能な露光時間期間を提供するための1つの手段を図示したタイミングチャートである。

図19は、適応的露光制御回路の変形の実施例を図示したブロック図である。

図20は、レンズ及び集積化されたCMOS回路を含む光学読み取り器の図である。

#### 好ましい実施例の詳細な説明

図1は、好ましい単一チップの光学読み取り器のアーキテクチャを有する光学読み取り器のブロック図である。図1に示されている各構成要素は、好ましくは、同じCMOSプロセスを使用し、同じシリコン基板を分けあった同じチップ上に、集積化される。しかし、幾つかの実施例においては、図1に示されている全ての構成要素よりも少量の構成要素をそのような方法で集積化してもよく、又は他の付加的な構成要素はまた同一チップ上に集積化してもよい。

図1においては、ゲイン／オフセットブロック103及びシャッタ時間コントローラ121に接続された画像化アレイ102を備えた光学読み取りチップ100が図示されている。ゲイン／オフセットブロック103は、全画素に対し一定のゲイン及びオフセットを印加してもよく、又は画素と画素との間の不均一性を補償するために、各画素に対し独特のゲイン及び／又はオフセットを与えてもよい。ゲイン／オフセットブロック103は、アナログ形式からデジタル形式に変換するためのA/D変換器105にオプションで接続された映像信号112を出力する。次いで、アナログ形式の、又はA/D変換器によりデジタル化された映像信号は、低域通過フィルタ106を通過させられる。低域通過フィルタ106

は、バー信号113を出力するエッジ検出器107に接続される。バー信号113はまた、文字データ信号114及び文字クロック信号115を出力する、オプションで設置されるオンチップの記号復号器109に接続される。

図1においてはまた、アドレス発生器／復号ロジックブロック123及びクロック発生器122に接続された画素クロック信号124が図示されている。画素クロック信号は、(もし含まれていれば) オプションでA/D変換器105、(デジタルであれば) 低域通過フィルタ106、(デジタルであれば) エッジ検出器107、及び(チップ上に含まれていれば) 記号復号器109に接続される。アドレス発生器／復号ロジックブロック123は、画像化アレイ102に接続され、クロック発生器122からの入力を受け取る。シャッタ時間コントローラ121はまたクロック発生器122に接続される。

動作中において、画像化アレイ102は、好ましくは、画像化システム(図示せず)によって集光され合焦された光を受光し、上記画像化システムは、1つ若しくはそれ以上のレンズ及び他の従来の画像化コンポーネントを備えてもよく、特にマルチフォーカスレンズとスリットのあるアパーチャ、若しくは、1994年12月23日に出願された係属中の米国出願の出願シリアル番号08/363, 258、又は1995年12月21日に出願された米国出願シリアル番号08/576, 203に記載された他の特徴を備えてもよく、両方の出願はあたかもここに完全に記載されたように参照することによりここに含まれる。

画像化アレイ102は複数の光電画素を備え、選択された各画素位置で受け取った光のレベルを示す信号を出力する。ある1つの画素が光を受光したとき、1つの電荷は画素位置で形成される。上記電荷が出力バス上に読み出されたとき、後述するように、集められた電子数に正比例する電圧が出力バスに現れる。

好ましい実施例では、各画素は、画像化アレイ102に印加される選択信号により個々にアクセス可能である。図1において、この目的のための選択信号125は、アドレス発生器／復号ロジックブロック123から画像化アレイ102に印加される。選択信号125は、画像化アレイ102の選択された画素に対応したアドレス位置を備える。好ましい実施例では、アドレス発生器／復号ロジック

ブロック123は、画像化アレイ102の複数の画素が選択信号125の制御の元で順次選択されて、読み出されるような一連の方法で、複数の画素アドレスを発生する。とって代わって、複数の画素は一連の方法以外で選択してもよいし、いくつかの画素は一度以上で読み出してもよく、種々の実施例については後述する。

図6及び図7は、画像化アレイ102のために用いられる、活性画素CMOS画像化アレイの一部を形成する好ましい画素サイト回路150を、より詳細に示す。図7は、画素サイト回路150の回路図を示し、図6は、電位グラフ159を用いてMOSFET Q1に蓄積された電荷の表現を含む画素サイト回路の図を表す。

図6及び図7の画素サイト回路150は、電荷を電圧に変換させ、画素位置で低インピーダンス出力を供給するソースフォロワーの金属酸化物シリコン電界効果トランジスタ(MOSFET)を備える。動作中において、ソースフォロワーのMOSFET Q1の拡張されたフォトゲート領域157にフォトンが衝突することにより、伝導体内で価電子が励起される。これらの自由電子は、リセット線をロー電位に保持することによって収集期間中に境界線が形成される電位の井戸に蓄積される。収集期間が完全に終了すると、選択線152はオンされて、出力選択MOSFET Q2をオンし、ソースフォロワーのMOSFET Q1をその活性領域でバイアスする。そのとき収集された電子数に比例する電圧は、出力バス153に現れる。リセット線の電圧の増加は、MOSFET Q3を十分に活性化し、これによって、電位の井戸を開き、光によって発生された電子を電源電圧ノードVDD154に排出することを可能にし、蓄えられた電荷をクリアする。

もし、その不活性な電位が適切に選択されると、図6で示されているリセットゲート156(即ち、図7で示されているQ3のゲート)は、電子数が電位の井戸の容量を越えるときのオーバーフローの機構として機能するであろう。このことは、1つの画素から隣接した画素に溢れた電子のオーバーフローによって引き起こされるいわゆる“ブルーミング”を防止することを援助する。

変形の実施例では、電流は、従来のP-N、又はP-I-Nフォトダイオード（即ち、Pにドーピングされた領域とNにドーピングされた領域との間に挟まれたドーピングされていないシリコン領域を有するダイオード）を用いて発生され、電流は露光時間にわたって積分され、MOSFETのゲートキャパシタンス上に蓄えられる。この変形の実施例は、図8に図示している。図8の回路の動作は、光電ダイオード149の付加、及びフォトゲートの代わりの通常のゲートを有するMOSFET Q1'の使用を除いて、図7のものと類似している。動作中においては、光電ダイオード149は、光電ダイオード149に入射する光に応答して電流を発生し、MOSFET Q1'のゲートで電荷を形成する。蓄えられた電荷に係る電圧レベルは、選択信号152'の印加により読み出すことができ、蓄積された電荷は、リセット信号151'の印加によって、ダンプされることが可能である。

画像化アレイ102は、好ましくは、例えば、図6及び図7に図示されているような画素サイト回路150をそれぞれが有する複数の画素を備える。関連した選択回路を有する具体例の画像化アレイのブロック図は、図16に図示している。図16の画像化アレイ400は複数の画素401a-nを備え、複数の光電検出器402a-nを備え、ここで、各画素401a-nに対して1つの光電検出器402a-nを備える。複数の光電検出器402a-nの各々は、画素サイト回路403a-n（それぞれは、例えば、図6及び図7に図示されたような画素サイト回路を備える）に接続される。図16はまた、複数の選択信号405a-n及びリセット信号406a-nを示し、各画素401a-nに対して1つのリセット信号406a-nが備えられる。

各画素サイト回路403a-nは、共通の出力バス408に接続される。アドレス選択信号410は画像化アレイ及び選択回路に入力され、アドレス復号器411に接続される。マスター選択信号412及びマスターリセット信号413はまたアドレス復号器411に供給される。アドレス復号器411は選択信号410を復号化し、その入力に基づいて、一度に選択信号405a-nの1つ及び／またはリセット信号406a-nの1つを印加し、これによって画素サイト回路

403a-nのうちの対応する1つを活性化する。もしその選択信号405が活性化されているならば、そのとき選択された画素サイト回路403は、その蓄積された電荷を共通の出力バス408に転送する。もしそのリセット信号406が活性化されているならば、選択された画素サイト回路403はその電荷を放出し、その光電検出器402をクリアにする。アドレス選択信号410を用いると、複数の画素401a-nは、画素401a-nのすべて又は選択された数の内容が読み出されるようにシーケンシャルに、又はランダムにアクセスしてもよい。

変形の実施例では、シリアルシフトレジスタはアドレス復号器411の代わりに用いられてもよい。シリアルシフトレジスタに供給される初期パルスは、シリアルシフトレジスタのステージからステージへ伝達される。シリアルレジスタの各ステージはタップ付けされて、各ステージの出力は、その画素のための制御信号として個々の画素に接続される。リセット信号及び選択信号のために必要とされるパルスを発生するために、当業者には明白である様々な方法で、制御信号をクロック信号によってゲートで制御することができる。シリアルシフトレジスタを用いた変形の実施例の利点は、複合器の実施例において要求されるシリコン面積を潜在的に節約することである。

図9は、図16の画像化アレイと選択回路に関連したタイミングチャートである。図9は、図16の画像化アレイ400の2つの隣接した画素401のための相対的なタイミングを図示しているが、画素401の任意の数Nをカバーするように外挿することができる。

前述したように、各画素はそれ自身の選択線405a-n及びリセット線406a-nを有して設けられる。図9は、2番目の画素401に対する選択線164及びリセット線163と同一のグラフ上に、最初の画素401に対する選択線161及びリセット線160のタイミング図示している。図9はまた、最初の画素401のための画素サイト回路の（図6と図7に図示。）フォトゲート157によって蓄えられた電圧に対応するゲート電圧信号162を図示すると共に、出力バス408（又は図6と図7の出力バス153）の電圧レベルでの変化を示す出力バス電圧信号165を図示する。

最初の画素401が、ハイとされた選択信号161によって選択されたとき、最初の画素401の出力は出力バス408上でサンプリングされる。従って、選択信号161がハイとなる同一のポイント170で、出力バス電圧信号165は、ゲート電圧信号162の電圧レベルをとる。この情報は、出力バス408から、図1に図示されたゲイン/オフセットブロック103のような別のシステムの構成要素に転送されてもよい。最初の画素401の出力が読み出された後、リセット信号160は活性化され、最初の画素401に対してその電荷の放出を生じせる。したがって、ポイント171で、ゲート電圧信号162に対して図示された電圧レベルは電源電圧にリセットされることが示されている。ポイント171とポイント172との間のリセット信号の活性期間中に、画素401のダークレベルは、出力バス電圧信号165において反映するように、出力バス408上でサンプリングされ、出力バス電圧信号165の情報は、同様に出力バス408からその情報を利用する別のシステムの構成要素に転送してもよい。

ゲート電圧信号162はリセット信号160がハイに保持されている間クランプされる。リセット信号160がローになった後は、最初の画素401に関連する光電検出器は、ゲート電圧信号162のグラフにおける徐々に下降する特性によって図示されているように、次の読み取りのために再び電荷を積分し始める。

最初の画素401のための選択信号161及びリセット信号160は、実質上同時にローに切り替えられる。これらの信号がポイント172で状態を切り替えたとき、次の画素401に対する選択信号164は活性化される。次いで、2番目の画素401の出力は、図9に示されている出力バス電圧信号165によって反映されているように、出力バス408上でサンプリングされる。十分な読み取り時間の後、2番目の画素403のためのリセット信号163は活性化され、2番目の画素401に対してポイント173でその電荷を放出させる。その電荷が放出されたとき、2番目の画素401に対する選択信号164及びリセット信号163は状態を切り替え、もし所望されるなら、より多くの画素を読み出すことも可能である。

図9に図示されたタイミングパターンの結果は、すべての画素401 a - nが

読み出されることを仮定し、各画素401a-nに対する信号電圧レベル182a-n及びリセット電圧レベル183a-nを与えている。信号電圧レベル182a-nは、各画素401a-nに対するリセット電圧レベル183a-nに隣接している。画像化アレイ400の出力において、信号電圧レベル182は、潜在的には固定されたパターンノイズに対する最も大きい寄与物である画素サイト回路402で用いられるソースフォロワMOSFET Q1のしきい値電圧における変動を減らすように、各画素401に対するリセット電圧レベル183から減算されるであろう。そのような目的に適した減算回路（図示せず。）は、当業者の範囲内と考えられ、画像化アレイ102の回路の一部として含まれてもよく、いかなる場合でも好ましくは、単一チップの光学読み取り器100（図1に図示。）上に設けられる。

図2から図5は、種々の変形のCMOS画像化アレイパターンを示す。図2は、複数の画素の単一線パターン131を有するCMOS画像化アレイ130を示している。図2の画像化アレイ130は、初期読み出し成功レートの点ではより劣った性能を提供しているが、安価なコスト及びただ少量のシリコン面積を必要とするという点から有利である。従って、図2の画像化アレイパターンは特に低コストなハンドヘルド光学読み取り器には特に適している。

図3、図4及び図5の変形の実施例は、より大きい読み取り領域の有効範囲を提供しており、従って、平均してより短い読み取り時間を提供する。図3は、複数の画素のアスタリスクパターン136を有するCMOS画像化アレイ135を表している。図4は、複数の画素の格子状パターン140を有するCMOS画像化アレイ139を示している。図5は、複数の画素の格子状パターンとアスタリスクパターンを結合したパターン145を有するCMOS画像化アレイ144を示している。複数の画素のパターンはまた、複数の線又はその線の一部をディスプレイすることにより、パターン反復率に対してパターン密度を変更し、各特定の使用者の必要性に合わせて電氣的に適合させることが可能である。読み取りすべき線（又は線の部分）が多くなれば、有効範囲も広がるが、より少ない回数で、与えられた時間期間内で完全な読み込みを終えることができる。

従来の二次元CMOSセンサは、一般的なビデオキャプチャ及びマシンビジョンのアプリケーションのために形成され、例えば、以下の出版物に記述されている。これらの出版物の各々は、あたかもここにすべて記載したように参照によってここに含まれる。：エフ・アンドー他、“高速テレビジョンカメラのための各画素でのFET増幅を有する250,000画素のイメージセンサ”、1990

IEEE インターナショナル・ソリッドステート・サーキット・カンファレンス（工学論文の要約）、pp. 212-213；ピー・ビー・デンヤー他、“マルチメディアアプリケーションのためのCMOSイメージセンサ”、プロシーディング・オブ・ザ・IEEE・カスタム・インテグレイテッド・サーキット・カンファレンス（1993）、pp. 11.5.1-11.5.4；イー・フォーサム、“活性画素センサがCCDに挑戦する”、レーザー・フォーカス・ワールド（1993 6月）、pp. 83-85；エス・ケー・メンディス他、“オンチップの信号処理を有する低光レベルイメージセンサ”、プロシーディング・オブ・ザ・SPIE、Vol. 1952、アエロスペース・サイエンス・アンド・センシング—サーベイランス・センサーズ（1993）、pp. 1-11；オー・ペラコット、“カメラにおけるCMOS”、IEEE リビュー（1994 5月）、pp. 111-114。

従来の二次元CMOSセンサでは、電荷は、画素サイトで局所的に電圧に変換され、金属バスを経て、要求に応じて転送される。これに対して、CCDセンサは、典型的には、電荷がCCDアレイにわたって画素から画素に転送されるが、電荷が出力増幅器に到着するまでは電圧には変換されないことを要求する。なぜならば、CCDアレイを用いてなされるように、長距離にわたる電荷転送に対する必要性は、局所的な画素サイトにおける電荷から電圧への変換を有するCMOSセンサを用いることによって緩和され、画像化アレイ102を形成するためのプロセスの必要条件は、CCDアレイのプロセスの必要条件に対して実質的に緩和されるであろう。緩和されたプロセスの必要条件は、集積化されたチップのより経済的製造を可能にする。

例えば、図2ないし図5に図示された画像化アレイの幾つかのように具体化さ



れたような図1の画像化アレイは、選択された各画素位置で受け取った光のレベルを示した信号を出力する。図1で示されているように、画像化アレイ102は好ましくは、ゲイン／オフセットブロック103に接続され、ゲイン／オフセットブロック103は、画像化アレイから出力された信号を増幅し、又は調整して、映像信号112を出力する。映像信号112は、低域通過フィルタ106により低域通過ろ波され、そしてエッジ検出器107に送られる。エッジ検出器107は、当業者に知られた既知の様々な方法により（例えば、米国特許第5,463,211号において記載され、この内容は、あたかもここにすべて記載したように参照することによりここに含まれる。）、読まれた記号のより明るい部分とより暗い部分の間の変化に対応する映像信号112での変化を検出する。エッジ検出器107は、エッジ検出情報を含むバー信号113を出力する。

前述したように、ゲイン／オフセットブロック103から出力された映像信号112は、（図1で点線で示された）オプションのA/D変換器105によってデジタル形式にオプションで変換してもよい。もしA/D変換器が用いられるならば、低域通過フィルタ106は無限インパルス応答（IIR）フィルタ又は有限インパルス応答（FIR）フィルタのようなデジタルフィルタを備えてもよい。

エッジ検出器107から出力されたバー信号113は、記号復号器109に入力され、記号復号器109は、当業者に知られた様々な方法の任意の方法で読み取られた記号の表示を識別し、文字データ信号114と文字クロック信号115とを出力する。記号復号器109は、図1に図示された他の回路と同じチップ上にオプションで設置される。

本発明の別の態様では、露光時間制御回路は、画像化アレイ102の複数の画素が光を収集する時間量を適応的に調整し、読み込み時間を最適化するように、チップ上に設けられる。画像化アレイ102に隣接し、又は画像化アレイ102内に設けられた単一の画素、又は画像化アレイ102の周囲に散乱されて設けられた複数の画素は、受け取った光レベルの連続的なフィードバックを露光時間制御ループに提供するために使用することができる。

図15は、1つの光電検出器352を備えた具体例の露光測定回路350の図

である。図15の光電検出器352は、この例では、コンデンサ354と共に図示されたように並列に接続された光電変換ダイオード353を備える。しかしながら、任意の適当な光電検出器のアーキテクチャで十分である。光電検出器352の光電感度は、好ましくは、画像化アレイ102の画素の光電感度とほぼ同様である。もし、例えば、光電検出器352が、画像化アレイ102の光電素子と同様の方法で形成されるならば、光電検出器352と画像化アレイ102の光電素子は、好ましくは、おおよそ同一のサイズにする必要があり、1個の光電検出器352は、どれだけの光が画像化アレイ102により受光されて、吸収されたかの正確な基準となるであろう。

光電検出器352は、画像化アレイ102の露光を測定するために用いられる。読み取り動作中において、光電検出器352は、この電荷によって生成された電圧が、しきい値信号361の電圧レベルを越えるまで、その電位の井戸で電荷を収集する。ライン355上の光電検出器電圧は、比較器360を用いてしきい値信号361と比較される。しきい値信号361の電圧レベルが越えたとき、比較器360は状態を変化させ、その出力シャッタ信号の状態変化を生じさせ、画像化アレイ102の全画素に対する露光を終了する。次の露光期間の前に、クリア信号365が印加され、光電検出器352（例えば、コンデンサ354）からの蓄積された電荷を徐々に排出させる。

シャッタ信号362に応答する露光コントロールループを用いて、画像化アレイ102における複数の画素が入射光により露光される時間量は、光電検出器352（露光コントロール画素）がしきい値信号361のしきい値電圧まで充電するために必要な時間に比例する。しきい値信号361のしきい値電圧を、画像化アレイ102から出力される信号レベルの相対強度を変えるために様々に変化することが可能である。

適応的露光コントロールループのための2つの変形のシステムのタイミングチャートが開示される。第一のタイミングチャートは図10及び図11に図示され、第二のタイミングチャートは図12に図示されている。

図10及び図11のタイミングチャートは、（例えば、図15のそのように）

露光測定回路により検出された光レベルの変化に応答して、すべての適切なクロック及びコントロール信号の周波数を同時に変化することを含む。露光期間は、図10、図11及び図12のために、与えられた画素のリセット信号の立ち下がリエッジ及びリセット信号の次の印加点との間の時間として定義される。例えば、図9において、最初の画素に対する露光期間は、リセット信号160の立ち下がリエッジであるポイント172で始まり、リセット信号160の次の印加点であるポイント179で終了する。

露光期間は、露光測定回路により測定されたように光レベルが減少すると増加し、測定された光レベルが増加すると減少する。図10は、システムが比較的低い光レベルで動作している状況を示している。図10における信号190、191、192及び193は、図9で示された信号160、161、163及び164にそれぞれ類似している。最初の画素の露光期間217は、リセット信号190の立ち下がリエッジであるポイント203から始まり、リセット信号190の次の印加点であるポイント212で終了する。同様に、第二の画素の露光期間218は、リセット信号192の立ち下がリエッジであるポイント205から始まり、リセット信号192の次の印加点であるポイント214で終了する。図11と比較すると、露光時間の期間217及び218はかなり長く、出力バス信号194によって反映されたように出力バス上での遷移の周波数は、かなり低い。

これに対して、図11は、システムが比較的高い光レベルで動作している状況を示している。信号220、221、222及び223は、それぞれ、図10での信号190、191、192及び193に、図9での信号160、161、163及び164に類似している。図10と同様に、最初の画素の露光期間245は、リセット信号220の立ち下がリエッジであるポイント232から始まり、リセット信号220の次の印加点であるポイント239で終了する。同様に、第二の画素の露光時間の期間246は、リセット信号222の立ち下がリエッジであるポイント234から始まり、リセット信号222の次の印加点であるポイント241で終了する。図10と比較すると、露光時間の期間245及び246は比較的短く、出力バス信号194によって反映されたように出力バス上での遷移

の周波数はかなり高い。

第二の変形システムのタイミングチャートは、図12に図示されている。図12のタイミングチャートでは、データクロック周波数は一定に保持され、代わりに各画素のためのリセット信号のデューティサイクルは変化され、受け取った光レベルにおける変化に応答して露光時間を変化する。図12において図示されているように、（例えば、図16に図示された画素403である）第一の画素に対する選択信号251は、第一の画素の内容を読み出すためにポイント255で印加される。第一の画素が読まれた後、第一の画素のためのリセット信号250は、第一の画素をクリアするためにポイント256で印加される。最初の画素をクリアするために十分な時間の後に、選択信号251は印加されず、第二の画素のための選択信号253が印加される。

図9のタイミングチャートと異なり、選択信号251が印加されないとき、リセット信号250は、同時に印加されないようにする必要はない。むしろ、リセット信号250は、受け取った光レベルによって決定される、その後の変化可能な時間量の間、活性状態で保持される。露光測定回路によって検出される光が減少すれば、リセット信号250の非印加はより早く行なわれる。逆に、露光測定回路によって検出される光が増加するにつれて、リセット信号250の非印加はより遅く行なわれる。

図12は、リセット信号250の立ち下がりエッジのタイミングが変化することを図示している。リセット信号250の立ち下がりエッジが存在している具体的な範囲265が図12に図示されているが、この範囲265は単に図示の目的のためであり、実際の範囲は様々なファクタ（例えば、光学読み取り器によって受け取られた光に関する最大量と最小量のような）に依存し、変化するであろう。最初の画素のための露光期間260は、その後のリセット信号250の次の印加がポイント271でなされるまで、ポイント261におけるリセット信号250の立ち下がりエッジにより決定される。他の画素のための露光時間の期間は、同様の方法で決定される。

露光時間の期間260は、好ましくは、与えられた読み取りサイクル（すなわ

ち、全画素の1つのうちの読み取りに対して)で各画素に対して同一である。(他の各画素のリセット信号とともに)リセット信号250の立ち下がりエッジのタイミングは、露光測定回路により制御される。露光測定回路に応答する露光コントロールループは、各選択信号(例えば、選択信号251)が続く変化可能な遅延期間を提供し、その後、リセット信号(例えば、リセット信号250)は立下がる。変化可能な遅延期間は、結果として、各リセット信号の変化可能なデューティサイクルを得ることができ、これによって、光レベルにおける変化に応答して露光時間を変化する。動作中においては、第一の画素に対する例を用いて説明したように、選択信号251は、リセット信号の丁度前に活性化される。もしリセット信号250が選択信号251におけるパルス間期間の比較的長い期間に対してハイであるならば、その画素に対する露光時間の期間は比較的短くなるだろう。一方、もしリセット信号250が選択信号251のパルス間の期間の比較的短い期間に対してハイであるならば、その画素に対する露光期間は比較的長くなるだろう。

図17は、本発明の一実施例に係る露光時間コントロール回路450の一例を図示する図である。図18は、図17の露光時間コントロール回路450に関連した種々の波形と、(例えば、図1における画像化アレイのような)画像化アレイの画素露光タイミングに対する影響を図示するタイミング図である。図17の露光時間コントロール回路450は、(例えば、図15で示された露光測定回路350のような)露光測定回路451、露光遅延期間計算器455、クロック発生器456、及びコントローラ453を備える。クロック発生器456はまた、クロック信号465を用いて画像化アレイ(図示せず。)に接続される。

動作中においては、コントローラ453は、露光開始信号458を活性化することにより露光測定回路451の露光期間を開始する。露光開始信号458の活性化はまた、例えば、図15について前述されたように、露光遅延期間計算器455に対して、露光測定回路451がしきい値電圧レベルに充電するまでにかかる時間の長さを計算し始める。露光遅延期間計算器455は、クロック発生器456に接続され、クロック発生器456は露光遅延期間計算器455を含む種々

の目的地回路にシステムクロック信号463を出力する。露光遅延期間計算器455は、例えば、露光測定回路453がしきい値電圧レベルまでの充電を終了するまでの、システムクロック信号463のクロック期間数を計数するデジタルカウンタとして具体化してもよい。それが起こると、露光測定回路451は、（例えば、図15で示したシャッタ信号362と同様に）露光終了信号459を活性化し、その露光終了信号459は露光遅延期間計算器455がクロックサイクルの計数を終了させる。

露光遅延期間計算器455によって計数されたクロックサイクル数は、（例えば、それぞれ1ビットを表す1組のデジタルラインを備えた）露光遅延期間信号464を用いてクロック発生器456に転送されてもよい。クロック発生器456は、画像化アレイの各画素の読み出し期間を制御する。複数の画素の露光時間の長さを調節するために、クロック発生器456は、付加的期間中、画素に対するリセット信号をハイに保持するために、各リセット信号に対して、露光遅延期間計算器455により計算されたクロックサイクル数を加える。

図18は、図17の実施例に係るタイミングチャートを図示している。図18は、画素の内容が読み出される期間における一連の固定化された読み出し期間480a、480b、480c、...を図示している。露光信号290は、露光測定回路451に対する露光時間の始点及び終点を示す。したがって、例えば、コントローラ453は、ポイント481で露光開始信号459を活性化することにより、露光測定回路481の露光時間を開始する。露光測定回路451は、ポイント482でしきい値電圧レベルまで到達することを示す、露光終了信号459を活性化する。同様に、コントローラ453は、付加ポイント483、485、487、及び489で、露光測定回路451の露光時間を開始し、露光測定回路451は、付加ポイント484、486及び488で、露光終了信号459を活性化する。

露光終了ポイント、及びすぐ次の露光開始ポイントの間の時間は、図18における、遅延-1 490a、遅延-2 490b、遅延-3 490c、などで示された露光遅延期間を備える。露光遅延期間490aは、すぐ次の読み出し期

間内で、各画素のリセット信号に対する延長時間量として動作する。したがって、図18で示されたように、最初の画素に関連するリセット信号491は、同じ最初の画素に関連する選択信号492の活性期間中に、ポイント493で印加され、選択信号492が立ち下がった後でさえ、ハイに保持される。リセット信号491は、露光遅延期間計算器455によって計算された露光遅延期間490aの期間中のポイント502における選択信号492の立ち下がりエッジを越えてハイに保持される。個々の各画素に対するリセット信号は、前の画素のリセット信号からオフセットされるが、各リセット信号は、その画素に関連する選択信号の立ち下がりエッジに続く、同じ露光遅延期間490aの間、ハイに保持される。

図17、18の回路及びタイミングの効果は、露光測定回路451がしきい値電圧レベルまで到達するのに掛かる時間量に応答して変化する、露光時間を有して、画像化アレイの複数の画素に対して適応的な露光時間を提供することである。露光遅延期間490a、490b、490c...は、各読み出し期間の反復のために新たに決定され、与えられた読み出し期間480a、480b、480c...（一般的に全画素へ）の間に、読み取られる各画素に印加される。図18から分かるように、露光測定回路451が充電するためにかかる時間が長くなればなるほど、画素のリセット信号に適用される露光遅延期間は短くなり、それによって各画素がより長い時間で光を受光することを可能にさせる。逆に、露光測定回路451が充電するためにかかる時間が短くなればなるほど、画素リセット信号に適用される露光遅延期間が長くなり、それにより画素がより短い時間で光を受光することを提供する。

前述したように、同じ露光遅延期間490a、490b、490c...は好ましくは、与えられた読み出し期間内での各画素のリセット信号に付加される。したがって、例えば、読み出し期間480bの間に読み出されるべき全画素は、露光遅延期間490aによって拡大され、また、読み出し期間480cの間に読み出されるべき全画素は、露光遅延期間490bによって拡大され、その他も同様である。なぜならば、同じ露光遅延期間490は好ましくは、与えられた読み出し期間内で各画素に付加され、各画素は、別々の選択信号と別々のリセット

信

号を有し、露光遅延期間は、例えば、リセット信号を動的に調整するようなアナログフィードバックループで利用されるより、むしろ（例えば、露光遅延期間計算器455のような）デジタル回路を用いて、保持されて記憶される。変形の回路は、例えば、各画素信号に対して1つのタップである複数のタップを備えた遅延ラインを利用した、アナログ又はデジタル露光時間測定方法と同様の機能として用いられてもよい。

図19は、図17のそれと同様の機能を実行する変形の回路配置の図である。図19においては、適応的露光コントロール回路550は、図15に示された回路と同様の露光測定回路552を備える。露光測定回路552は、発振器553からクリア信号554を受け取り、シャッタ信号556をシリアル入力シフトレジスタに出力する。シフトレジスタ558は、クロック発生器565から出力されるクロック信号565によってクロック同期される。シリアルシフトレジスタ558は、各画素サイト回路に対し1つの、複数出力リセット信号561a-nを有する。リセット信号561a-nは、画像出力信号567を生成する画像化アレイ562に接続される。

動作上において、発振器553は、好ましくは比較的短いデューティサイクルの（固定された読み取り時間サイクルに対応する）期間Tの方形波を備えたクリア信号554を発生する。短いパルス553は、各露光サイクルの最初で露光測定回路552の露光素子（すなわち、光電検出器）をクリアする。露光測定回路552は、図15で表された回路と同様の方法で、シャッタ信号556を発生する。シャッタ信号556が、（例えば、しきい値電圧を越えた光電検出電圧に応答して）状態を切り換えるとき、シャッタ信号556の変化は、クロック信号565によって調節された速度でシフトレジスタ558を伝搬する。シャッタ信号556の信号状態での変化は、シフトレジスタ558の各状態561へ到着したとき、それはリセット信号560a-nのうちの対応する1つを活性化する。これによって、リセット信号560a-nは、順次活性化し、シャッタ信号556が発振器553から出力されるクリア信号554に応答してリセットされるまで



、そのまま残る。

図19の回路の効果は、間隔Tの固定された読み取りサイクルを有して、露光測定回路552の出力に接続された、各画素に対する変化可能なデューティサイクルの露光コントロール信号を実行することである。

図10及び図11のタイミングチャートの作用を図12のそれと比較すると、一般的に図10及び図11のタイミングチャートは、より詳細に後述されるように、十分な調整が信号処理回路になされたという仮定のもとで、種々の異なった光レベルにわたって、読み取り時間を最小化する傾向がある観点から好ましい。図10及び図11のタイミングチャートは、読み取り時間を受光した光レベルと相関させ、受け取った光があり余るなら読み取り時間を短縮し、受け取った光が比較的少なければ読み取り時間も長くする。

一方、図12のタイミングチャートは、一定の読み出し時間の期間を用い、各画素のリセット信号のデューティサイクルを調整することにより露光時間を調整している。それゆえ、図12のタイミングチャートは、一般的に、露光測定回路451が最大であろうしきい値電圧に到達するまで時間を掛かるような最悪の光の状況の場合に従って固定された一定の読み出し期間を供給する。強力な光の状況では、画素の露光時間はおそらく短い、読み出し時間は、最悪の光環境と同じぐらいであろう。それゆえ、いくつかの読み取り速度効率のロスを引き起こす。しかしながら、図12のタイミングチャートは、一般的に、復号化を単純化する一定の出力データレートを提供する。(多くの光学読み取り器が接続された、離れた所に位置する復号器のような)外部の復号器が(生のバー/スペース信号データのような)生の出力データの受け取り及び復号に使用されている、復号速度の限界が存在する状況下において、この効果は有効であるだろう。

実装では、露光測定回路及び関連した(例えば、図17で示された)露光時間コントロール回路は、画像化アレイ102及び選ばれた他の回路と同一チップ基板法に設置されるのが好ましい。特に、そのような回路は、シャッタ時間コントローラ121の一部分の回路として組み込まれるのが好ましい。図10及び図1

1のタイミングチャートが使われる場合では、シャッタ時間コントローラ121は、測定された光レベルに対応した適切なクロック及びコントロール信号の周波数を調整するクロック発生器122に接続する。クロック発生器122は、画像化アレイ102の充電時間及び読み出しレートを制御するアドレス発生器／復号ロジックブロック123に接続する。

図12のタイミングチャートのために、画像化アレイ102（図1）の出力の信号処理は、一定の空間帯域幅を提供するために、一定の時間領域の応答特性を有する信号処理回路を利用して実行してもよい。多くの従来の固定された応答アナログ又はデジタル信号処理システムは、図12のタイミングチャートを用いて使用することができ、又は使用のために採用することができる。

一方、もし図10及び図11のタイミングチャートを利用すれば、従来の信号処理方法は不適當であろう。なぜなら、信号処理回路の時間領域応答が一定に保たれている間、画像化アレイ102の出力からのデータレートは、一般に、受け取った光のレベルによって異なるからである。静的時間領域応答を用いる従来の信号処理回路を使用することは、（質的には、信号プロセッサによって処理されたターゲット上での最小の特徴サイズの）空間帯域幅を光レベルによって変化させるという傾向がある。なぜなら、バーコードの最小特徴サイズは、しばしば、基本媒体及び／又はインクの特定の特徴を、明確に区別可能な十分な大きさになるように選択され、一般的には、できるだけ一定に近い空間帯域幅を保持することが望ましい。このため、図10及び図11の変化可能な周波数タイミングチャートを用いて使用される好ましい信号プロセッサは、空間応答が不変である方法で、画像化アレイのデータクロックに正比例するその時間領域応答を変化させるように構築される。

好ましい信号プロセッサは、有限インパルス応答（IIR）又は無限インパル

ス応答（FIR）を有する同期デジタルフィルタのようなフィルタ、（一般的に、CCD、又はサンプルホールド技術を基礎とする）クロック同期されたバケットブリゲード遅延ラインを用いた同期トランスバーサルアナログフィルタ、又はスイッチトキャパシタフィルタを備え、それらの各々は、画像化アレイ102の

画素をアクセスして読み出すために用いられるものと同一の調整された周波数クロック信号を使用することによって、不変な時間領域応答を提供するように形成される。

同期遅延ライン微分器はまた、信号処理内で用いられ、その信号処理内では、ピーク検出のために用いられる1つ又は複数の微分係数は、現在の画素の振幅及びその近隣の画素の振幅との差異から得られる。遅延ラインを基礎とする微分器は、例えば、米国特許第5,463,211号に記載され、あたかもここに完全に記載されたように、参照することによりここに含まれる。同様に、時間領域のアタック及び減衰特性が、入力データクロックレートに従って変わるようなピーク検出器は、信号処理回路内で用いられ、当業者により簡単な方法で実装可能である。(例えば、図10及び図11のタイミングチャートに関して記載したように) 変化可能な周波数の画像化アレイと同期信号処理器を組み合わせる利点は、画像キャプチャと成功した復号の間の時間が、大きい光レベルの範囲にわたって最小化されることである。

CMOS処理を用いると、所望するならば信号処理回路とともに、図15の適応的露光コントロール画素と上述された適応的露光コントロールループ回路の両方は、画像化アレイ102として同じ基板上に実装可能であろう。適応的露光コントロールループ回路は、非常に小さいパワーを消費するように設計することができ、常時に使用することができる。この適応的露光コントロールループの別の利点は、テストの読み取り期間で、使用者がバーコード読み取り器を使用する前に、ほとんど最適に露光時間を設定して、バーコードを読み取る時間を相当に減少させる。例えば、バーコード読み取り器は、使われていないとき(すなわち、使用者によってトリガされてないとき)、周囲の光をサンプリングし、トリガする前に露光時間をセットするためにサンプル光の読み取りを使用することが可能である。

上述したシステムが、単一ラインの光学読み取り器及び交差してない複数ラインの光学読み取り器に適用されると、画素の交差するラインが使われる場所では、交差点での画素を1度以上読み取る必要があるので、異なる接近法が必要とな

るであろう。画素の交差ラインを有する可能性のある光学読み取り器の例は、例えば、図3、4及び5に示されたものである。同じ画素を複数回読み取る必要があるという問題を処理するための1つのアプローチは、高レベルの光の条件の下では、画素の次のラインを処理する前に、画素の各ラインが露光され、読み出されるという方法である。しかしながら、このアプローチは、一般的に時間を消費する露光処理では、画素の各ラインに対してシリアルで別々に実行する必要があるので、低レベルの光では処理が遅いという点で幾分不満である。それゆえ、画素の全ラインの露光を同時に行うことを可能にすることが好ましい。

複数の画素の複数のラインの非破壊的読み出し及び同時露光のために提供する画素設計は、図13及び図14に示されている。図14は、画素サイト回路300の回路図を図示しており、図13は、電位グラフ315を用いてMOSFET Q1”で蓄えられた電荷の表現を含む画素サイト回路の図を図示している。

図13及び図14では、1組の共通信号は、（例えば、図1の画像化アレイ102のような）画像化アレイの各画素に提供される。したがって、電圧源（VDD）信号301、リセット信号302、読み出しゲート（ROG）信号303、シャッタ信号304及び出力バスライン312は、画像化アレイの全画素に対し共通である。別々の選択信号313は、各画素に固有である。

図13-14の画素回路の動作中において、MOSFET Q5”の拡張されたフォトゲート307で発生した自由電子は、シャッタ信号304を用いて、画素の露光が開始されるまで、シャッタゲート306を活性化することにより、放出される。そのようなとき、シャッタゲート306（すなわち、図14において図示されたMOSFET Q6”のゲート）は閉じ、フォトゲート307は電荷を蓄え始める。画素の露光を終させると、読み出しゲート308（すなわち、図14において図示されたMOSFET Q4”のゲート）は、読み出し信号30

3を印加することによってイネーブルされる。次いで、読み出しゲート308は、蓄積電荷を出力ソースフォロワーゲート309（すなわち、MOSFET Q1”のゲート）の下の蓄積領域320へ通過させる。（アクセスすべき特定の画素に関連した選択信号313を印加することによって）その画素が選択されてい

る間、この電荷は蓄積領域320で残り、多数回にわたり、その特定の画素が、画素の全パターンの1つのメンバーである各画素ラインに対する電荷情報を読み取る必要がある。選択信号313が印加されているとき、ソースフォロワーのMOSFET Q1”は、選択MOSFET Q2”を介して出力バスライン312に接続され、これによって、蓄えられた電荷（すなわち、電圧）レベルの読み取りを可能にしている。

このとき、画像化アレイの画素回路300をリセットするための2つのオプションが可能である。最初のオプションは、全画像が読み込まれた後、共通のリセット信号302を印加することにより全画素を同時にリセットすることである。このアプローチは2つの中でより簡単なものである。なぜなら、ただ一つのリセットライン302だけが、画像化アレイの全画素に必要とされているからである。とって代わって、（例えば、図9について前述したように）リセットレベルを信号レベルから減号することを可能にするように、その画素のリセット信号302を活性化することによって、最新の読み込みの後にすぐに、各画素は独立にリセットされてもよい。この第2のオプションは、各画素に対する別々のリセット信号302ラインを犠牲にして、より減少された固定されたパターンノイズを提供する。

図20は、集積化されたCMOS回路を含む好ましい光学読み取り器の一部分の図である。図20の好ましい光学読み取り器600は、集積化されたCMOS回路を含むCMOSチップ606上に装着されたプリント回路基板605を備える。集積化されたCMOS回路は、（例えば、図2から図5まで、もしくはその他に示されたパターンを有する）画像化アレイ607と、種々雑多なCMOS回路608とを備える。種々雑多なCMOS回路608は、前述されたように、一つ若しくはそれ以上の露光コントロール回路、信号処理回路及び復号回路を備え

てもよい。図20の好ましい光学読み取り器600は、記号（例えば、バーコードラベル）611から反射された光を集光し、集光した光を画像化アレイ607に合焦させるレンズ601をさらに備える。

ここに記述された種々の実施例は、独立してアドレス指定可能な画素を表して

いることを述べたが、複数の画素の選択されたグループのアドレス指定を可能にする直接的な変形例を為すことができることは、当業者に認識されるであろう。

CMOSで実装された集積化回路のトポロジーを有するシングルチップの光学読み取り器回路を備えた光学読み取り器の設計は、例えば、CCDを基礎とした光学読み取り器及びフライングスポットレーザースキャナのような他の光学読み取り器における数多くの利点を提供することができる。まず第一に、シングルチップのCMOS光学読み取り器は、従来のCMOS処理が非常に高度に発展し、複数のCCDのために用いられる処理より未だ一般的に簡単であり、シリコン欠陥の影響を受けるのが少ないという事実のために、より低いコスト製造を可能にしている。さらに、付加的に必要なサポート機能は、同じCMOS回路上に集積化することができ、これにより、同時にそれらのコストを低減し全体のシステムコストを軽減する。もう1つの利点は、サイズが小さくなることであり、これもまた画像化に関する回路の集積化による結果である。例えば、完全な光学読み取り器は、図1のシングルチップのCMOS回路、レンズ（例えば、単一でゾーン化され又は複数のゾーンでゾーン化されて焦点を合わせることが可能なレンズ）及び比較的少数の外部受動コンポーネントから構築されてもよい。本装置の別の利点は、減少された外部の相互接続数のためにより高く期待された信頼性である。結局、そのような装置は、例えば、CCDチップより実質的により小さい電力消費量を達成することができ、そのCCDチップは、各画素サイトー重要な容量性負荷ーでのゲートを同時に駆動するために必要とされるそのクロックドライバでそのほとんどのパワーを消費する。一方、（例えば、図16に示されているような）CMOS画像化アレイは、複数の画素の個々のアドレス指定を有する。

たとえあるとしても、CMOS画像化アレイ回路の潜在的な欠点は、画素サイト回路はかなり大きな面積量を占有する可能性があり（処理が改善されるにつれ

て減少するが）、（コストがシリコン面積に直接に関係しているので）より小さい充てんファクタ、より大きな画素のピッチ、及び結果的に低い解像度をもたらすことである。これらの潜在的な欠点は、（例えば、図2に示されたような）一次元コードを読み取るために配置された一次元（すなわち、リニア）画像化アレ

イではそれほど明らかではない。リニアCMOSアレイは、小さい画素ピッチを有することが可能であり、さらに、ライン間であって、画素の側面に沿って画素アクセス回路を配置することにより、100%に近い充てんファクタ値を有する。これらの実施例でのライン間の残存しているシリコン領域は、他のサポート回路のために用いてもよい。改善された収集効率と目標のエッジ検出の誤差の許容範囲は、画像化ラインに直交する長軸を有する長い長方形の画素を用いることにより、リニアアレイで実現されることが可能である。

さらに、二次元パターンを有する画像化アレイのために、優れた多方向パターンは、全二次元空間（例えば、図3-図5）の比較的小さい部分だけを利用して形成される。そのような二次元パターンでの画素間の空間は、（もし所望するならば、非破壊読み取り能力を含む）個々の画素のアドレスの指定能力をサポートするために必要とされる画素サイト回路を配置するために用いられてもよく、これによって、CMOS画像化アレイの全領域を少なくとも2次元CCDアレイと同じぐらい小さくすることが可能である。

フライングスポットレーザースキャナ、又は他のレーザーを基礎とするスキャニング製品と比較すると、幾つかのさらなる利点は、ここに記載された種々の実施例のような集積化されたCMOS回路の光学読み取り器によって実現されるであろう。例えば、CMOS光学読み取り器は、レーザービームを走査するために可動部（例えば、ディザリングミラー、回転するファセットホイールなど）は不必要であって、レーザーは除去されるために、より小さい電力を消費し、かつより小さいコストを有する一方で、より高い信頼性を示すであろう。ヒートシンキング機構の必要性がなくなり、レーザードライブ回路、診断／安全に関連したハードウェア、ビーム形成レンズ、アパーチャ及び関連した装着装置もまた少なくすることができるので、CMOS光学読み取り器は、いくつかの概念において、

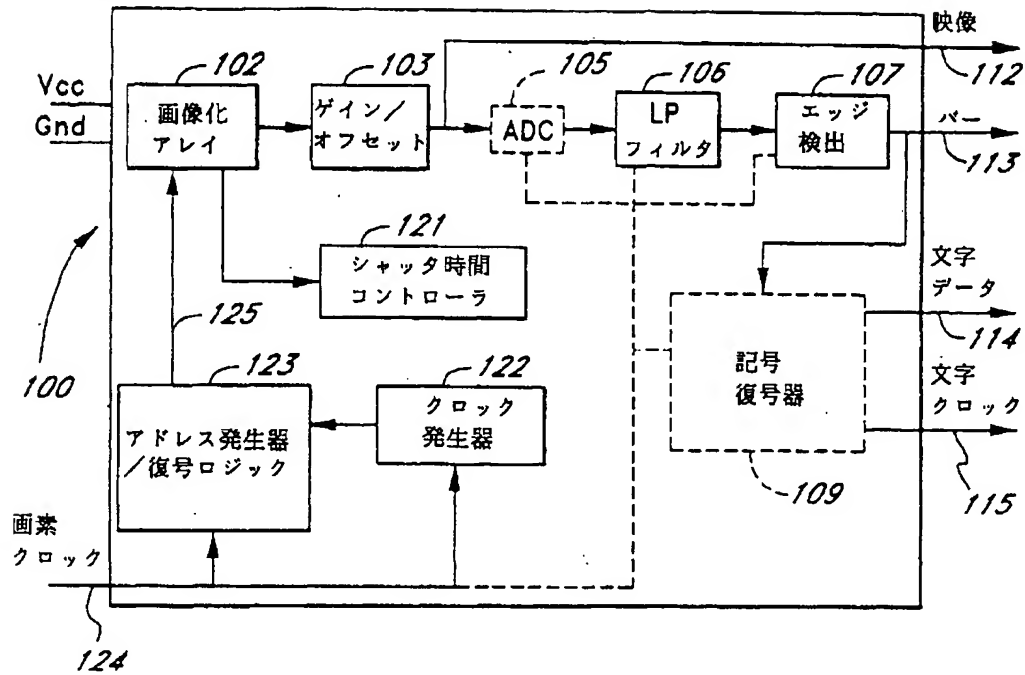
より経済的でより簡単となるであろう。

好ましい実施例はここで開示され、本発明の概念及び範囲内で残る多くの変形例が可能である。そのような変形例は、本明細書及び図面の熟読後、当業者の一人に明らかになるであろう。それゆえ、本発明は、添付された特許請求の範囲で

の精神及び範囲内を除いては、限定されるべきではない。

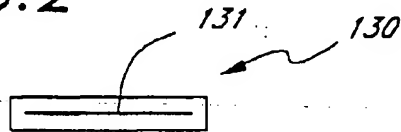
【図1】

FIG. 1



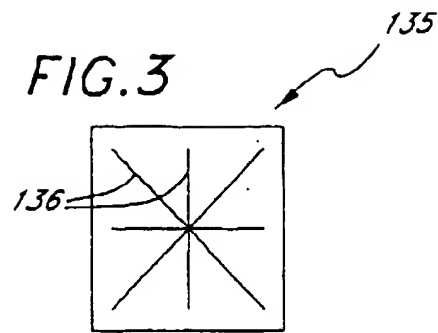
【図2】

FIG. 2

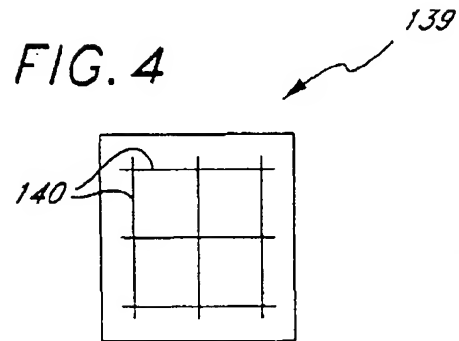




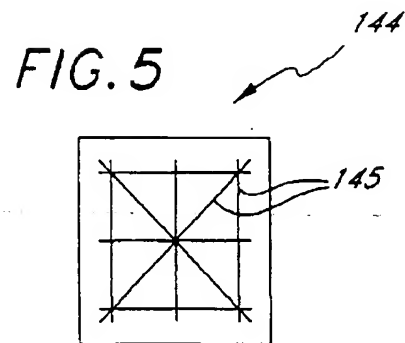
【図3】



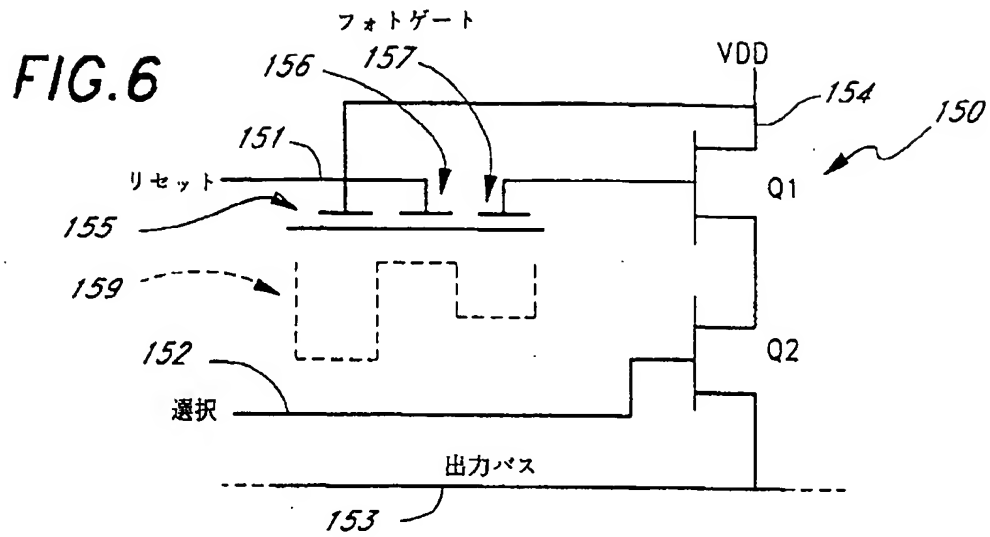
【図4】



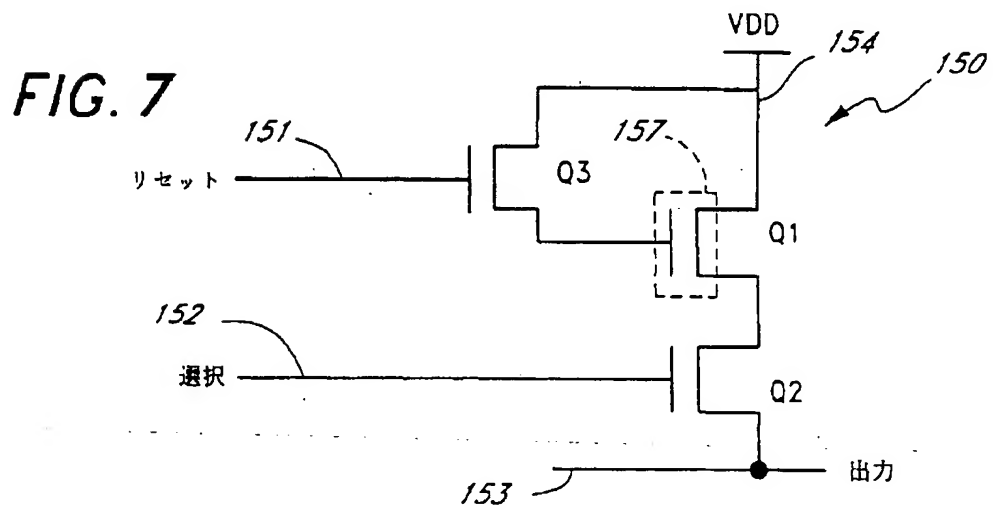
【図5】



【図6】

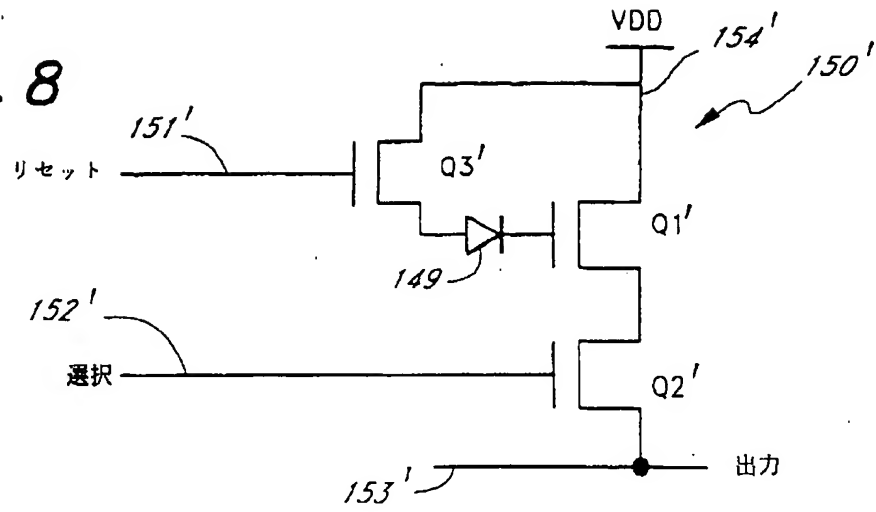


【図7】



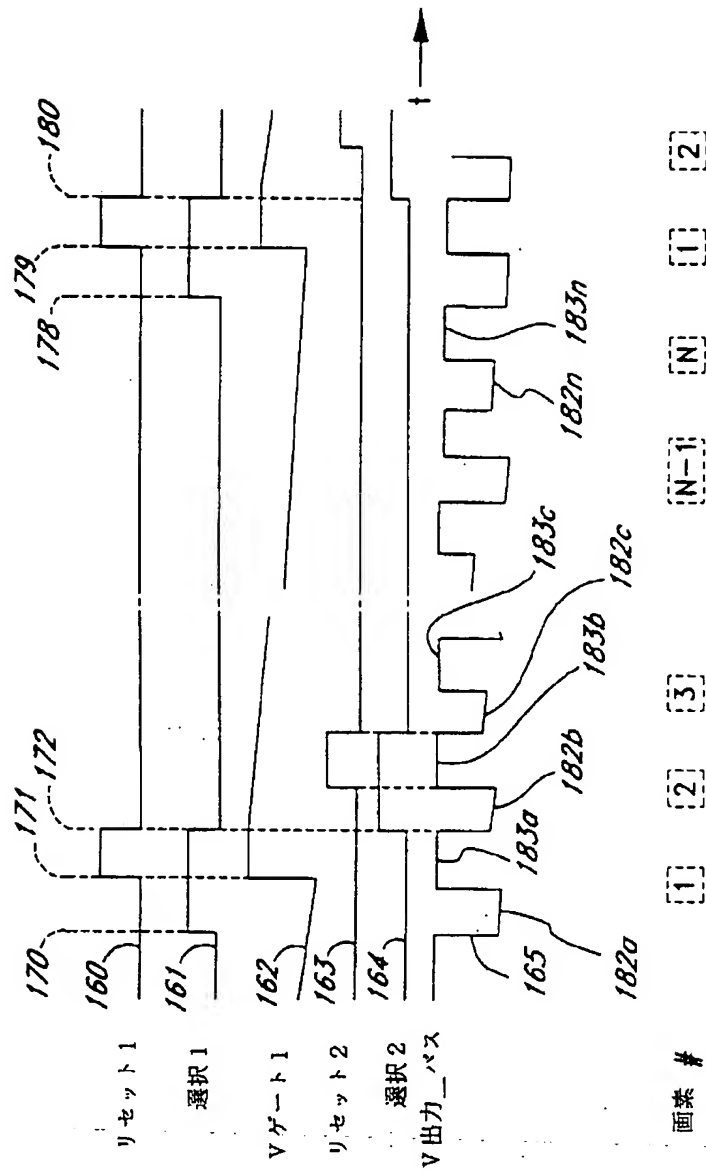
【図8】

FIG. 8

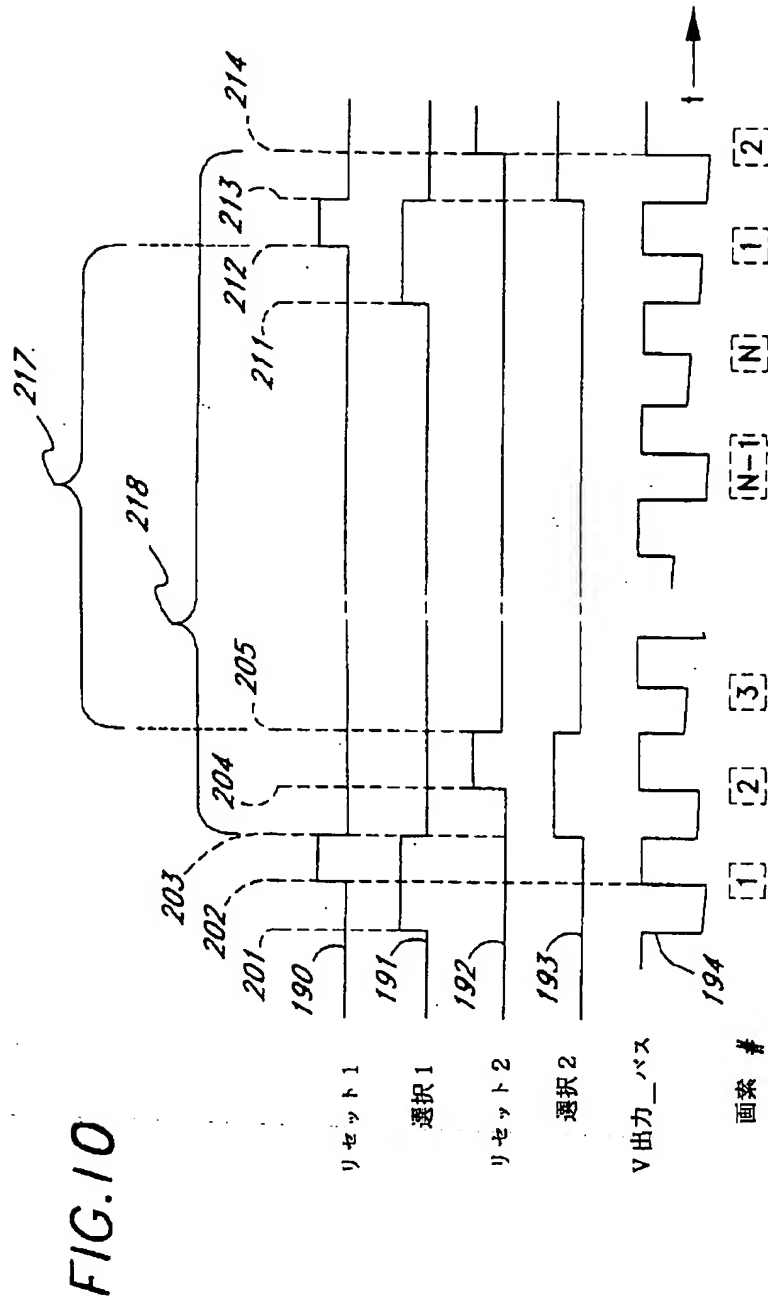


【図9】

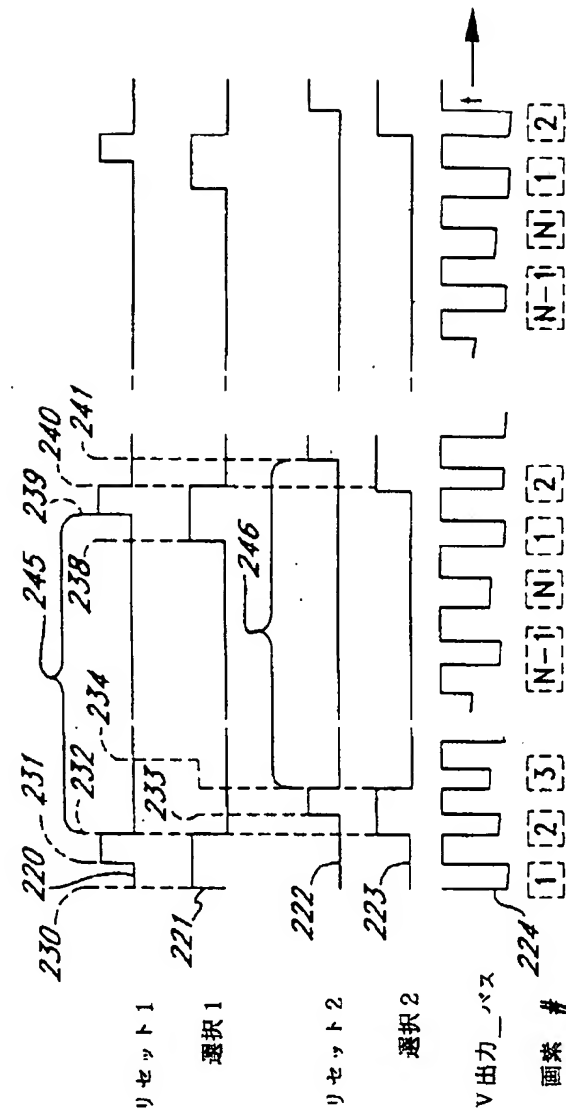
FIG. 9



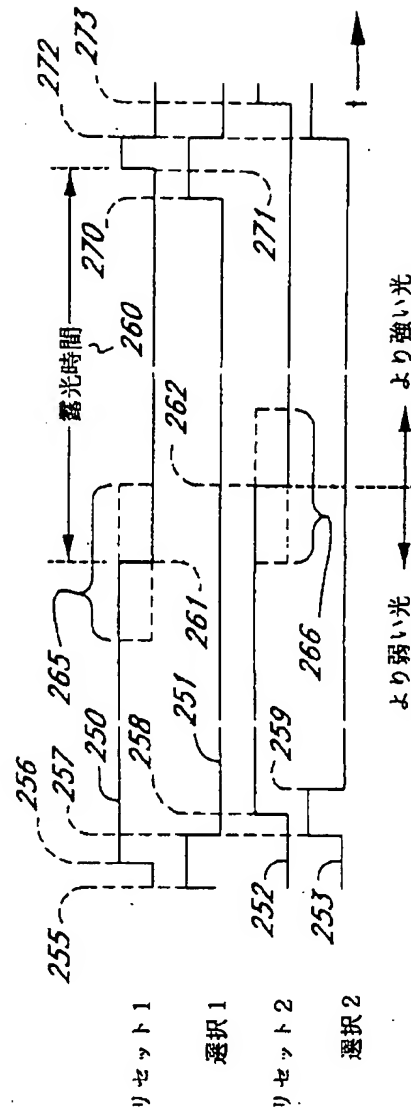
【図10】



【図11】



【図12】

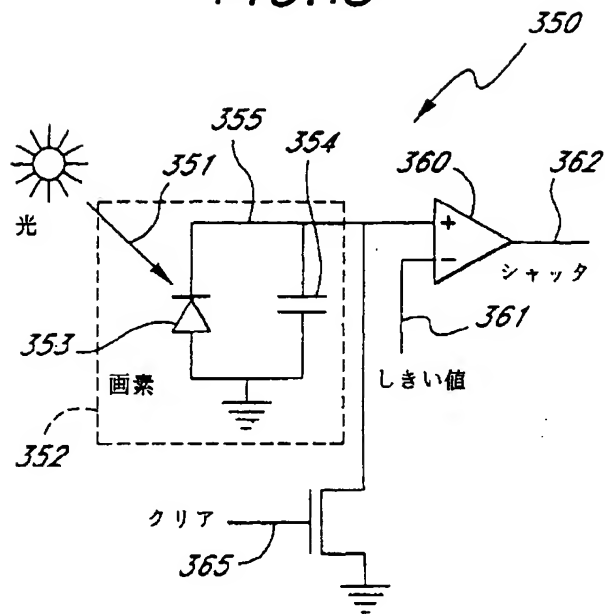






【図15】

FIG. 15



【図16】

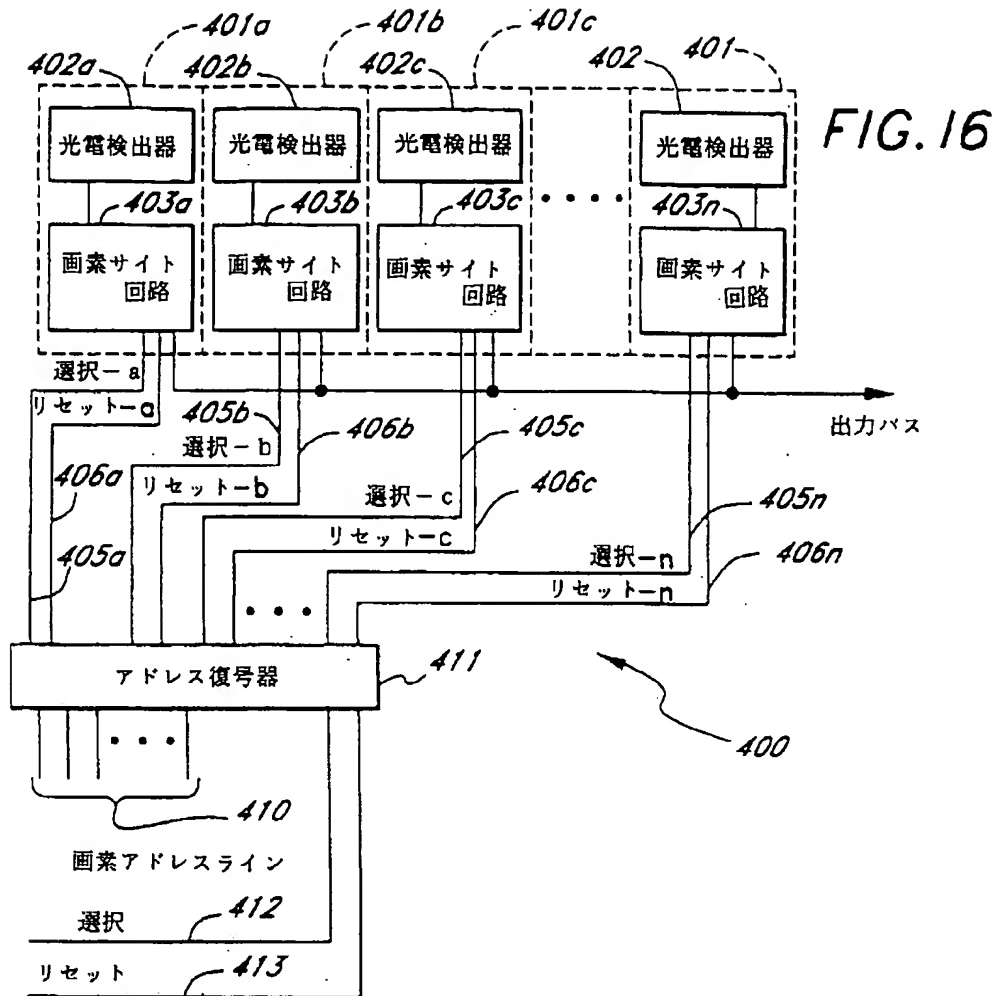


FIG. 17

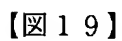
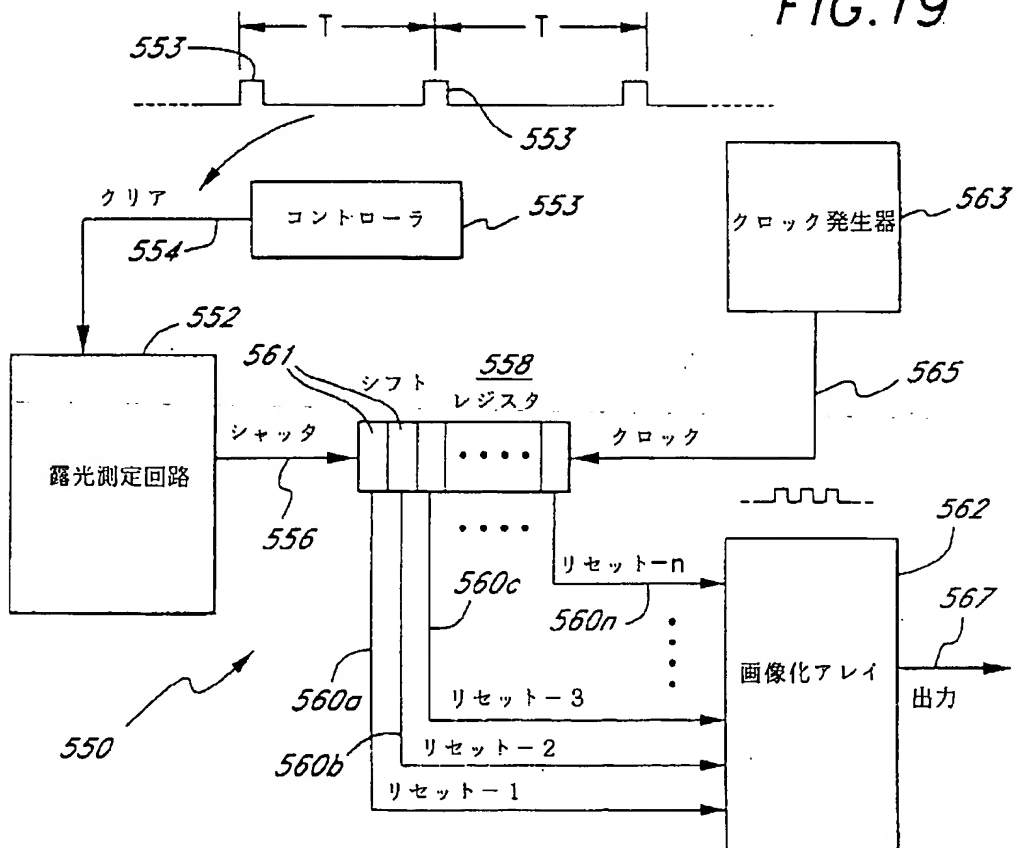
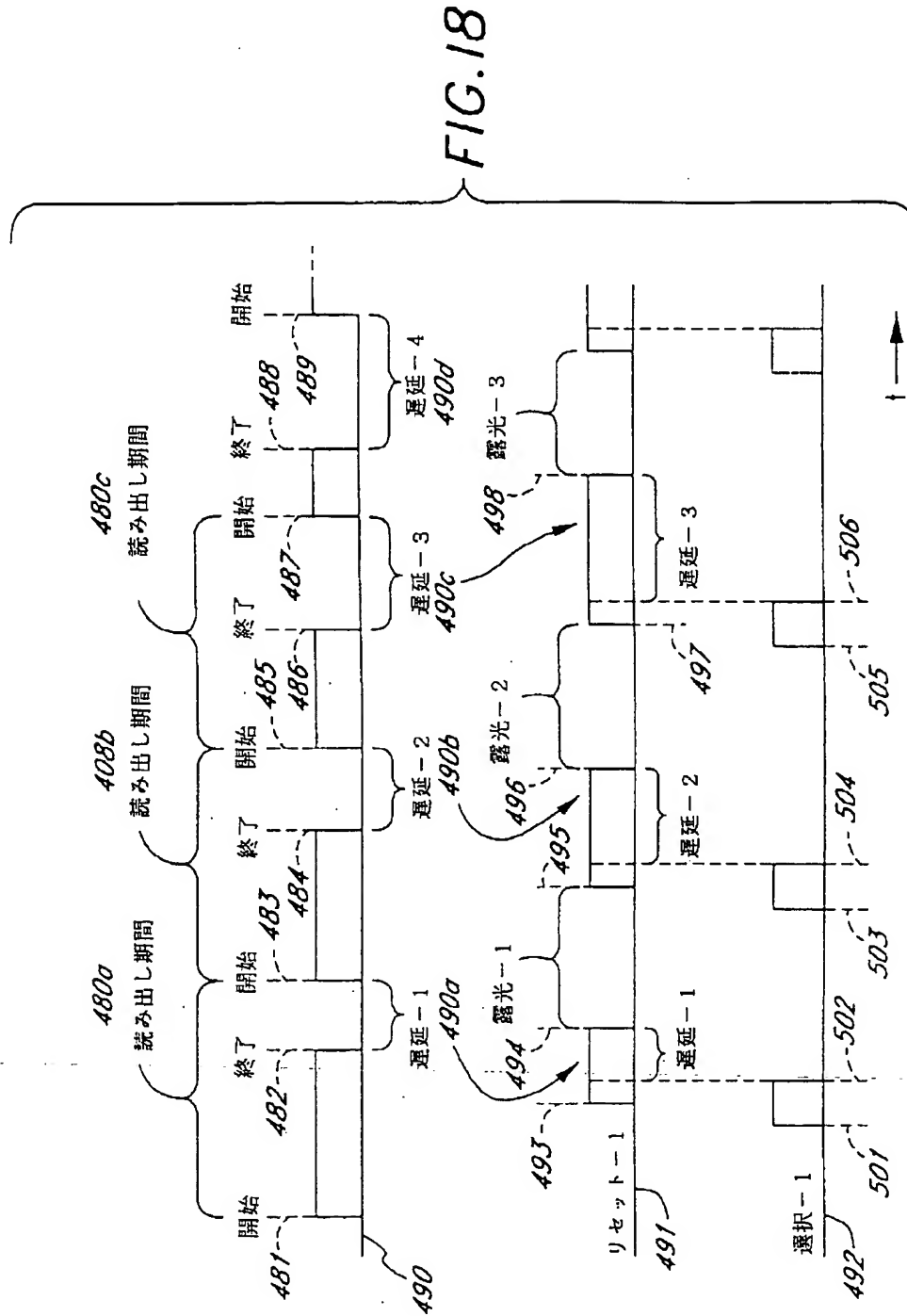


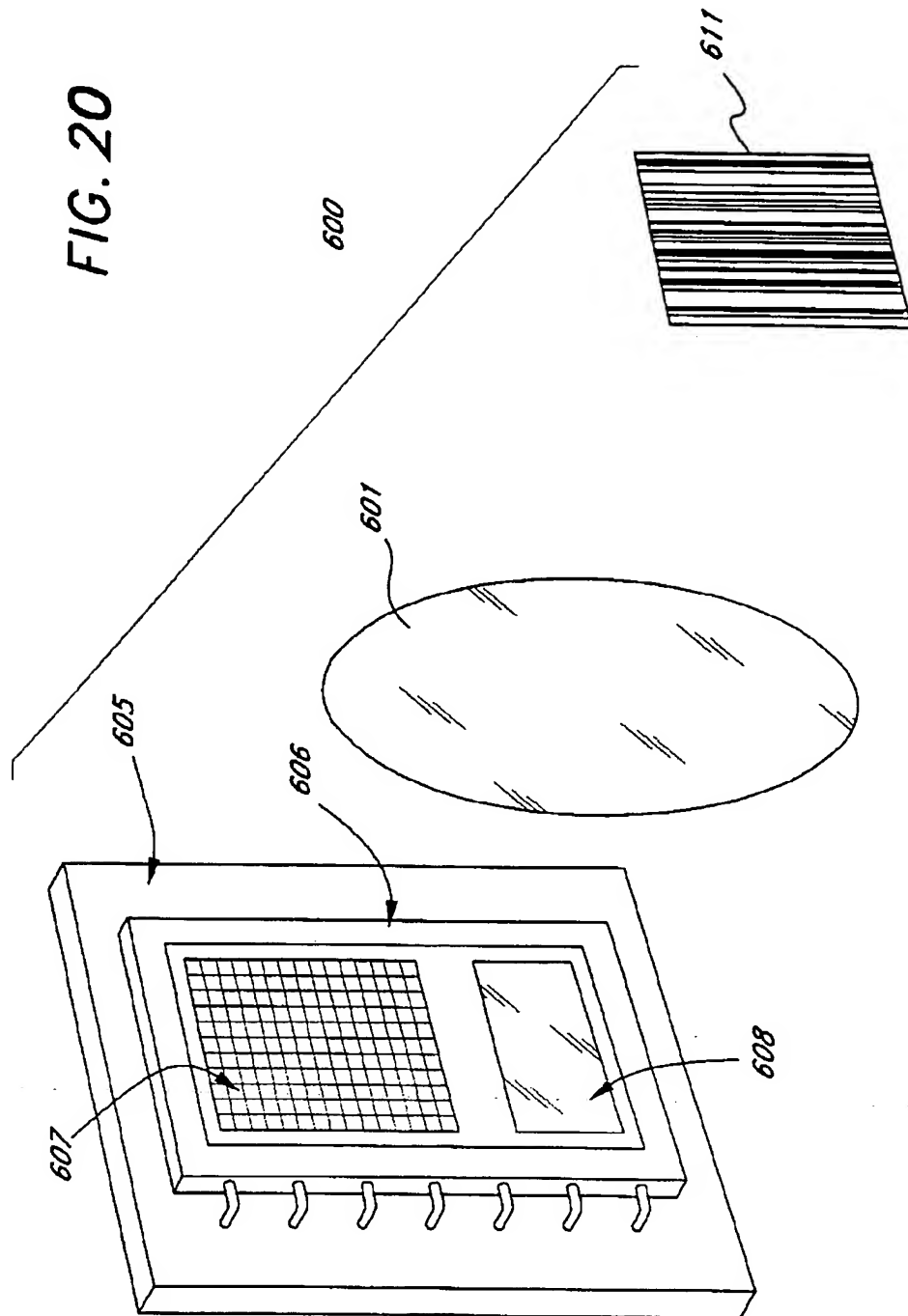
FIG. 19



【図18】



【図20】



## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US96/13659

## A. CLASSIFICATION OF SUBJECT MATTER

IPC(6) : G06K 7/10

US CL : 235/436, 454, 455, 462, 472; 250/208.1; 348/221, 231, 294, 296, 297, 362

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

U.S. : 235/436, 454, 455, 462, 472; 250/208.1; 348/221, 231, 294, 296, 297, 362

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Please See Extra Sheet.

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 55-115164 A (TAKANO) 04 September 1980, whole document	1, 8, and 22-23
--	-----	2-7, 9-21, and 24-26
Y	whole document	
Y,P	US 5,521,366 A (WANG et al) 28 May 1996, whole document	1-26
Y	US 5,319,182 A (HAVENS et al) 07 June 1994, whole document	1-26
Y	US 4,542,528 A (SANNER et al) 17 September 1985, whole document	1-26
Y	US 5,309,243 A (TSAI) 03 May 1994, whole document	1-26

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	* T	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
* A		document defining the general state of the art which is not considered to be of particular relevance
* E		earlier document published on or after the international filing date
* W		document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
* O		document referring to an oral disclosure, use, exhibition or other means
* P		document published prior to the international filing date but later than the priority date claim(s)
	* X	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
	* Y	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
	* A	document member of the same patent family

Date of the actual completion of the international search

18 NOVEMBER 1996

Date of mailing of the international search report

29 NOV 1996

Name and mailing address of the ISA/US  
Commissioner of Patents and Trademarks  
Box PCT  
Washington, D.C. 20231

Facsimile No. (703) 305-3230

Authorized officer

MICHAEL G. LEE

Telephone No. (703) 305-3503

Int. l. application No.  
PCT/US96/13659

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5,345,266 A (DENYER) 06 September 1994, whole document	1-26

## INTERNATIONAL SEARCH REPORT

Int. l. application No.  
PCT/US96/13659

**B. FIELDS SEARCHED**

Electronic data bases consulted (Name of data base and where practicable terms used):

**APS**

search terms: optical reader(p)photo(p)(diode or sensitive). (CMOS or CMOS chip), pixel#, (scanner or reader),  
amplifier, address?, edge detect?, exposure, CMOS(p)detector#, (low pass filter or LPP), clock, pattern#, linear array#



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☒ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**